

Capítulo 4

MEMORIAS EN EL SISTEMA MICROPROCESADOR

Memorias integradas VLSI

Tipos de memorias

Memorias RAM

Memorias ROM

Estructura interna

Ampliación de memorias

Temporización

Memorias dinámicas

Memorias FLASH

MEMORIAS INTEGRADAS VLSI

- **Factores clave:**
 - Capacidad de almacenamiento
 - Velocidad de acceso
 - Coste de fabricación
 - Tamaño
- **Tipos de memorias**

Memorias	Tipos	Volátil	Características	Aplicaciones
Memorias de lectura y escritura Nombre genérico: RAM	SRAM	Sí (1)	— Alta velocidad — Bajo consumo (2)	Las que requieren alta velocidad y/o bajo consumo. <i>Ejemplos:</i> memorias <i>cache</i> , equipos alimentados por baterías
	DRAM	Sí	— Alta integración — Necesidad de refresco — Bajo precio	Grandes bancos de memoria
	VRAM	Sí	— Salida serie	Controladores de video
Memorias de sólo lectura Nombre genérico: ROM	ROM por máscara	No	— Bajo precio para series grandes	— Distribución de <i>software</i> — Equipos fabricados en grandes series
	PROM	No	— Programable en laboratorio — No reprogramable	— Realización de lógica combinacional
	EPROM	No	— Programable en laboratorio — Borrable y reprogramable	— Pequeñas series — Prototipos
	EAROM	No	— Programable y borrable sin sacar del equipo	— Equipos que requieran reprogramación — Sustitución de discos

(1) Salvo que sean alimentadas por baterías.

(2) Entre las SRAM pueden encontrarse pastillas de alta velocidad y elevado consumo (tecnología ECL), así como pastillas no tan rápidas pero con un consumo de corriente muy pequeño (tecnología CMOS).

MEMORIAS RAM

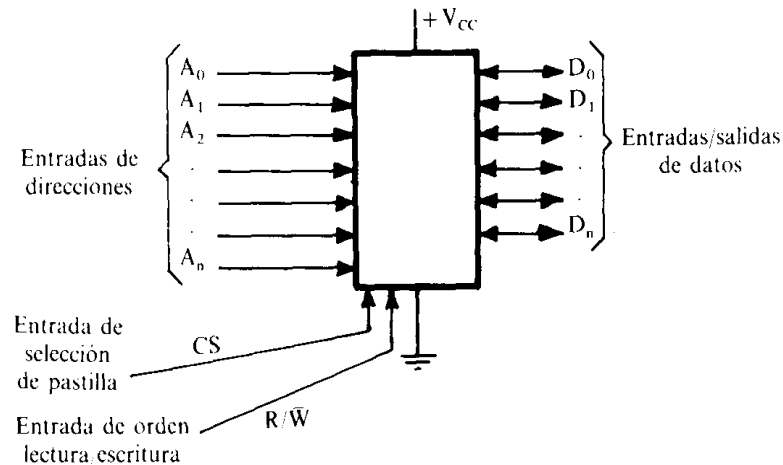
- **RAM (Random Access Memory)**
 - Lectura / Escritura
 - Acceso aleatorio (no secuencial) a las posiciones de memoria
 - Volátiles, excepto cuando se alimentan por batería:
 - Tecnología CMOS de bajo consumo
 - Batería + circuito de control + condensadores
- **RAM estática (SRAM)**
 - Célula: flip-flop
 - Alto grado de integración
- **RAM dinámica (DRAM)**
 - Célula: condensador
 - Necesita refresco por las fugas de corriente
 - Circuito adicional externo para reescribir
 - Tiempo de refresco (cada ~2ms)
 - Variantes de DRAM: memorias pseudo-dinámicas, memorias EDO
- **RAM salida serie (VRAM)**
 - Para controladores de vídeo

MEMORIAS ROM

- **ROM (Read Only Memory)**
 - Sólo lectura
 - Acceso aleatorio (no secuencial) a las posiciones de memoria
 - Se escribe una vez al grabar los datos
 - Según la forma de grabación: ROM, PROM, EPROM, EEPROM
 - ROM: programable por máscara por el fabricante
- **PROM (Programmable ROM)**
 - El usuario la graba una vez mediante un equipo especial (programador de PROM)
 - Programación: fusión de fusibles internos
- **EPROM (Erasable PROM)**
 - Permite grabar/borrar un número de veces
 - Programación: inducción de cargas
 - Borrado: exposición a rayos UV
- **EEPROM (Electrically EPROM)**
 - Programación: incorporan hardware específico de escritura (sin sacar del equipo)
 - Pequeño tamaño y alto coste

EL CHIP DE MEMORIA

- **Terminales**



- **Capacidad**

N^0 palabras (posiciones) = 2^{N^0} terminales dirección

N^0 bits/palabra = N^0 terminales datos

N^0 bits (células) = N^0 palabras X N^0 bits/palabra

- Las pastillas suelen ser de 1, 4, 8 bits/palabra
- La capacidad se suele expresar en Kpalabras (2K = 2048 palabras)

ESTRUCTURA INTERNA

- **Elementos:**

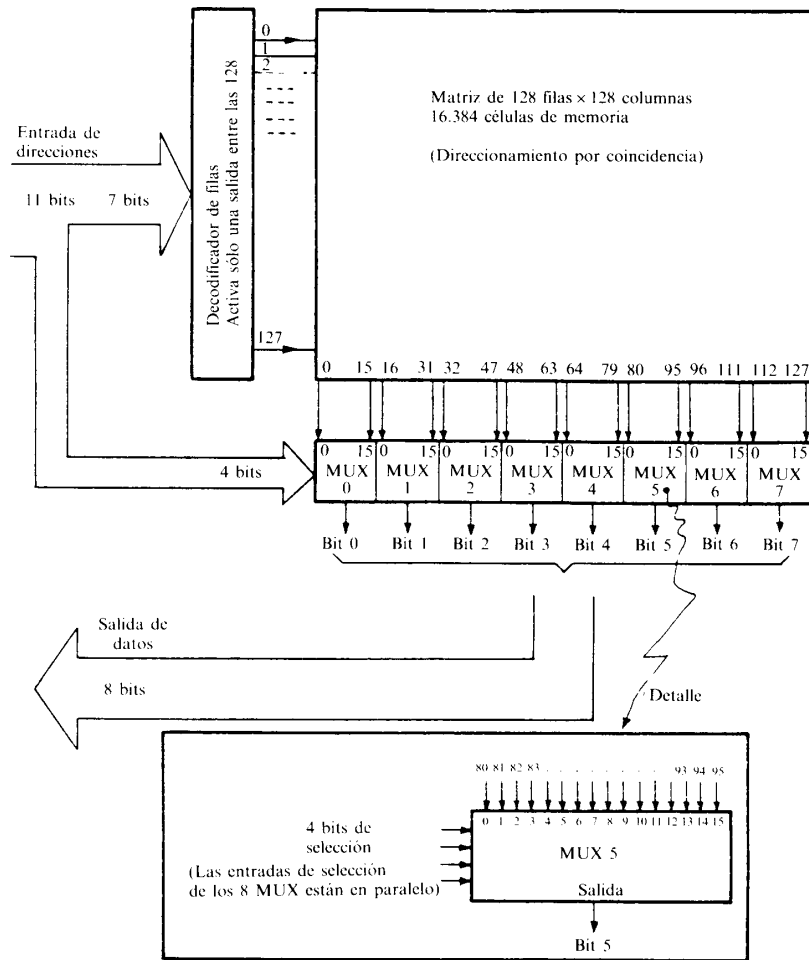
- Matriz de células básicas
 - Organización por filas y columnas
 - Facilita el diseño con muchas células
- Decodificadores de filas y columnas
 - Permiten la selección de una posición
 - A veces se usan multiplexores
- Circuitos de lectura/escritura
 - Por donde salen/entran los datos
- Buffers de entrada y de salida

- **Opcionalmente:**

- Lógica de selección
 - Circuitos adicionales que conectados al bus de direcciones permiten seleccionar (activar) otros chips a través de CS ó CE
- Terminales de E/S
 - Usan buffers bidireccionales triestado
 - Permiten reducir el número de terminales
 - Estado de alta impedancia si el chip no está activado (CS)

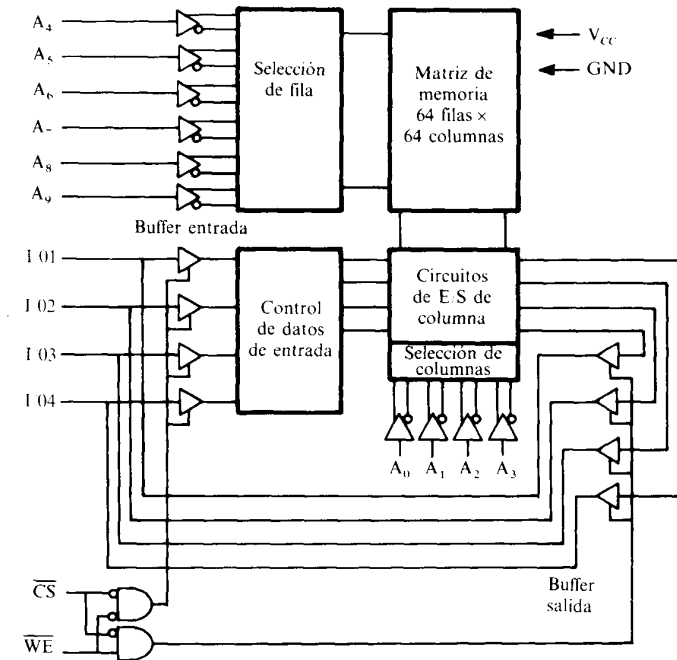
EJEMPLO DE ROM

- ROM de 2048 palabras (2K) de 8 bits



EJEMPLO DE RAM

- RAM de 1024 palabras (1K) de 4 bits

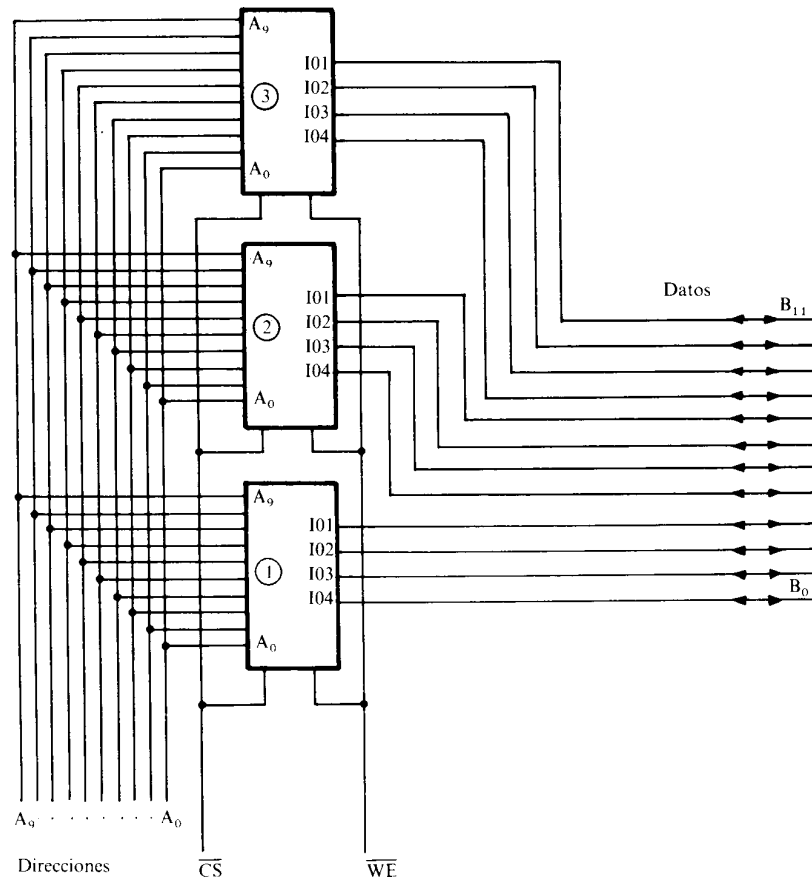


CS	WE	Buffer entrada	Buffer salida	Estado resultante
0	0	ON	TRI-STATE	Escritura
0	1	TRI-STATE	ON	Lectura
1	0	TRI-STATE	TRI-STATE	Bloqueada
1	1	TRI-STATE	TRI-STATE	Bloqueada

EXPANSIÓN DE MEMORIAS

(1)

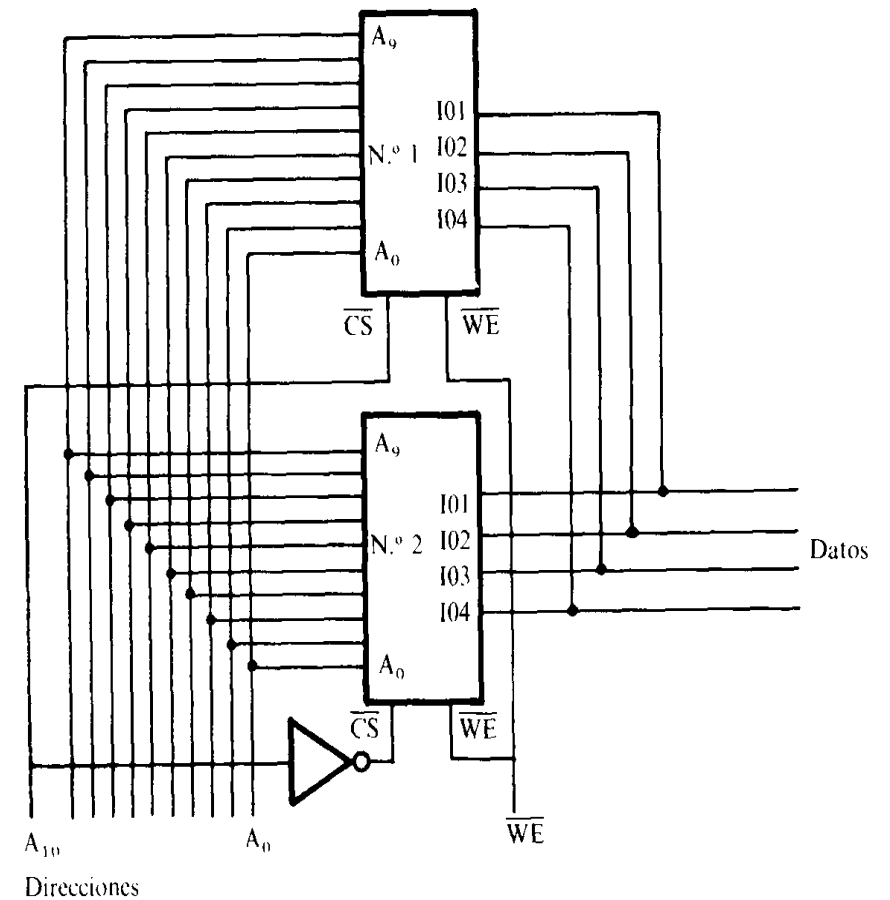
- **Expansión del tamaño de palabra**
 - Memoria de 1Kx12 con memorias de 1Kx4



EXPANSIÓN DE MEMORIAS

(2)

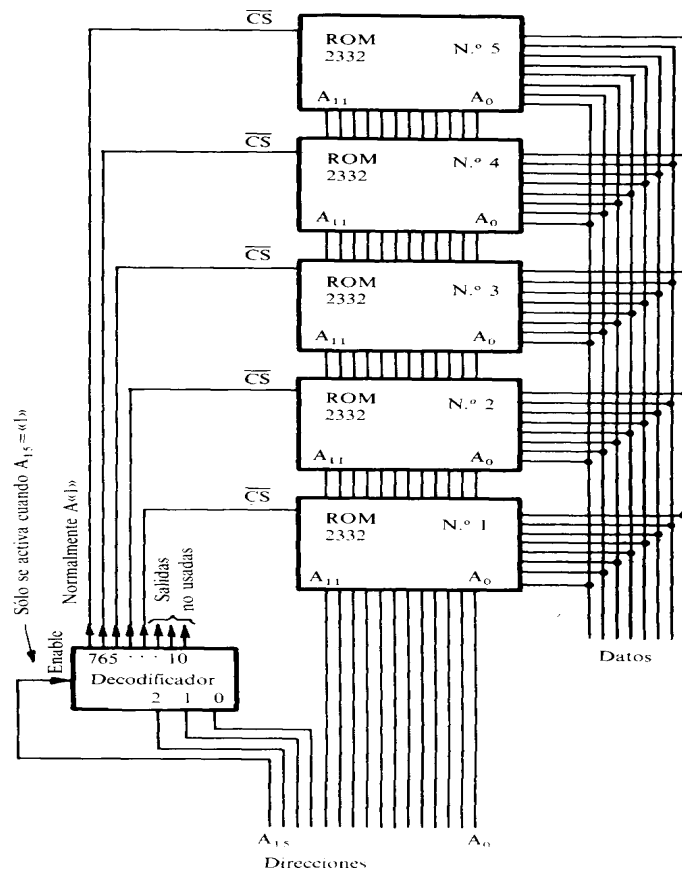
- **Expansión del número de palabras**
 - Memoria de 2Kx4 con memorias de 1Kx4 usando puertas simples



EXPANSIÓN DE MEMORIAS

(3)

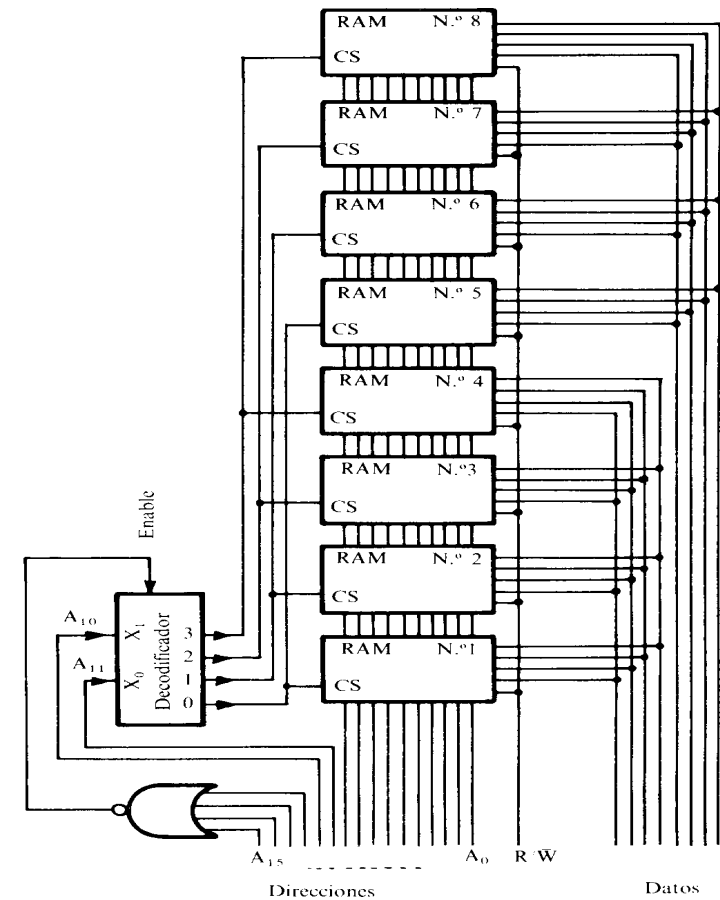
- **Expansión del número de palabras (continuación)**
 - Memoria de 20Kx8 con memorias de 4Kx8 usando un decodificador



EXPANSIÓN DE MEMORIAS

(4)

- **Expansión del tamaño de palabra y del número de palabras**
 - Memoria de 4Kx8 con memorias de 1Kx4

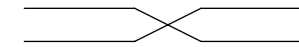


TIEMPOS DE LECTURA Y ESCRITURA

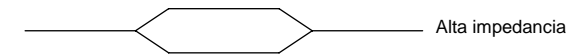
- **Acceso a una memoria**
 - Descripción en los catálogos (RAM y ROM)
 - Hay retardos que provocan que las lecturas y escrituras no sean instantáneas
 - $T_{\text{ciclo memoria}} \approx T_{\text{ciclo lectura}} \approx T_{\text{ciclo escritura}}$
 - Máxima frecuencia de acceso = $1/T_{\text{ciclo memoria}}$
- **Acceso de lectura**
 - 1) Establecer la dirección de la posición a leer en las entradas de direcciones
 - 2) Activar el chip de memoria (CS)
 - 3) Activar la entrada R/W para lectura
- **Acceso de escritura**
 - 1) Establecer la dirección de la posición a escribir en las entradas de direcciones
 - 2) Activar el chip de memoria (CS)
 - 3) Establecer el dato a escribir en las entradas de datos
 - 4) Activar la entrada R/W para escritura

CICLO DE LECTURA EN UNA MEMORIA

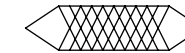
- **Notación:**
 - a) Señal compuesta de señales en varias líneas



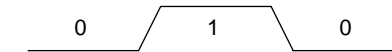
- b) Estado de alta impedancia



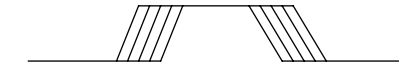
- c) Valor de la señal irrelevante



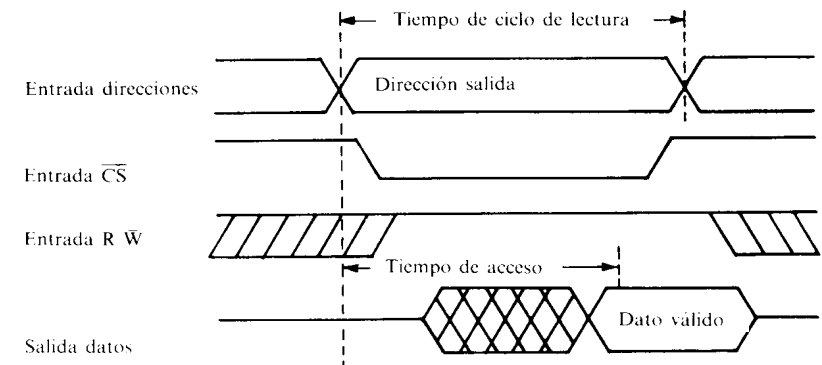
- d) Representación del "0" y "1" lógicos



- e) Instante de cambio no determinado



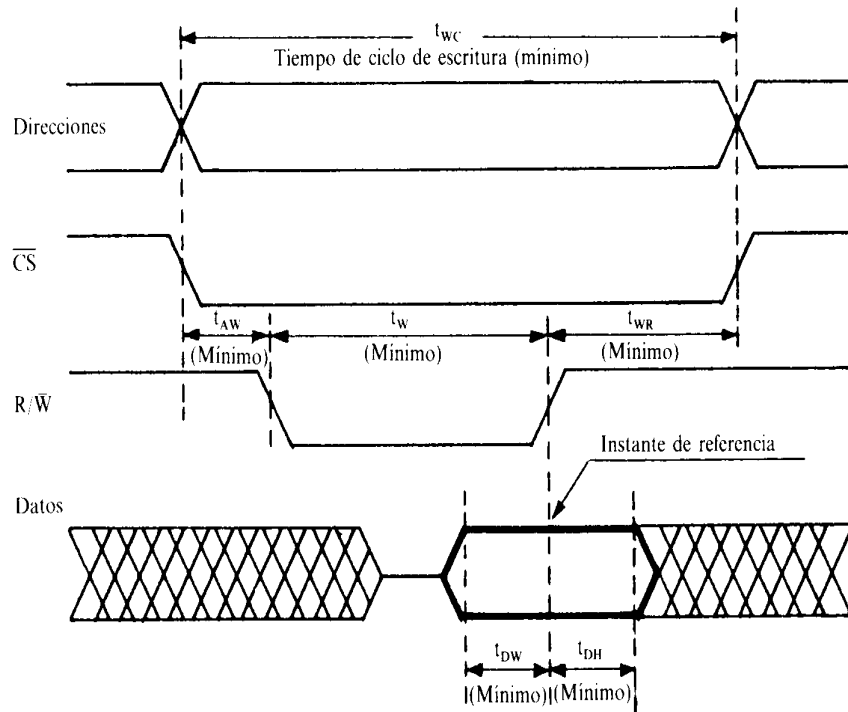
- **Ciclo de lectura**



CICLO DE ESCRITURA EN UNA MEMORIA

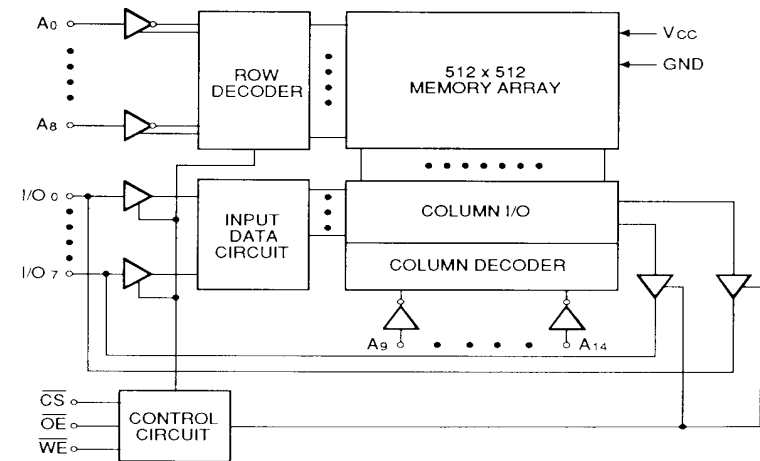
Ciclo de escritura

- t_W = Mínimo tiempo del impulso de escritura en R/W
- t_{DW} = Mínimo tiempo anterior a R/W con dato estable
- t_{DH} = Mínimo tiempo posterior a R/W con dato estable
- t_{AW} = Mínimo tiempo entre dirección y R/W
- t_{WR} = Mínimo tiempo entre R/W y nueva dirección
- t_{WC} = Mínimo tiempo de ciclo de escritura

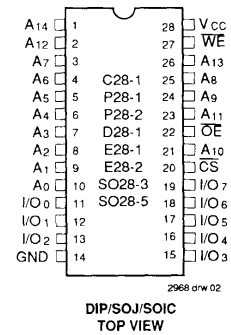


EJEMPLO DE CATÁLOGO (1)

CMOS STATIC RAM 256K (32Kx8-BIT)



PIN CONFIGURATIONS



PIN DESCRIPTIONS

Name	Description
A0-A14	Addresses
I/O0-I/O7	Data Input/Output
CS	Chip Select
WE	Write Enable
OE	Output Enable
GND	Ground
VCC	Power

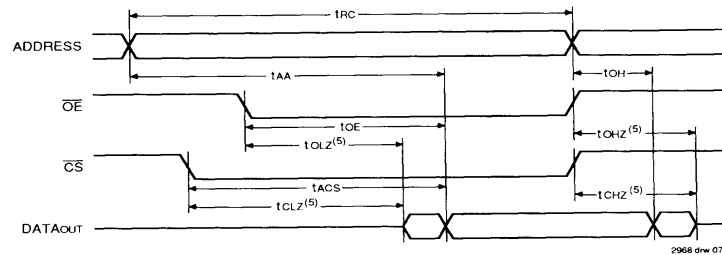
TRUTH TABLE⁽¹⁾

WE	CS	OE	I/O	Function
X	H	X	High-Z	Standby (ISB)
X	V _{HC}	X	High-Z	Standby (ISB1)
H	L	H	High-Z	Output Disable
H	L	L	Dout	Read
L	L	X	Din	Write

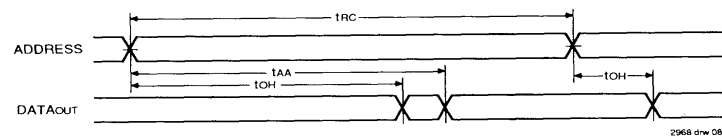
NOTE:
1. H = V_{HH}, L = V_{LL}, X = Don't Care

EJEMPLO DE CATÁLOGO (2)

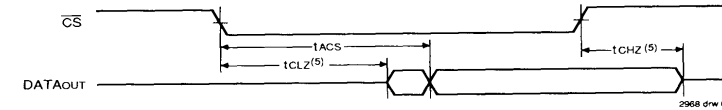
TIMING WAVEFORM OF READ CYCLE NO. 1⁽¹⁾



TIMING WAVEFORM OF READ CYCLE NO. 2^(1, 2, 4)



TIMING WAVEFORM OF READ CYCLE NO. 3^(1, 3, 4)



NOTES:

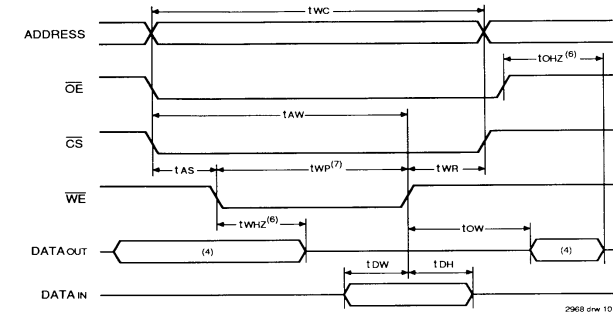
- WE is high for read cycle.
- Device is continuously selected, CS = VIL.
- Address valid prior to or coincident with CS transition low.
- OE = VIL.
- Transition is measured ±200mV from steady state with 5pF load (including scope and jig).

AC ELECTRICAL CHARACTERISTICS (VCC = 5.0V ± 10%, All Temperature Ranges)

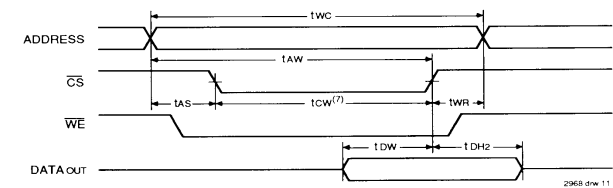
Symbol	Parameter	71256S20 ⁽¹⁾		71256S25		71256S30		71256S35		71256S45		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
Read Cycle												
tRC	Read Cycle Time	20	—	25	—	30	—	35	—	45	—	ns
tAA	Address Access Time	—	20	—	25	—	30	—	35	—	45	ns
tACS	Chip Select Access Time	—	20	—	25	—	30	—	35	—	45	ns
tCLZ	Chip Select to Output in Low Z ⁽²⁾	5	—	5	—	5	—	5	—	5	—	ns
tOE	Output Enable to Output Valid	—	10	—	11	—	13	—	15	—	20	ns
tOLZ	Output Enable to Output in Low Z ⁽²⁾	2	—	2	—	2	—	2	—	0	—	ns
tCHZ	Chip Select to Output in High Z ⁽²⁾	—	10	—	11	—	15	—	15	—	20	ns
tOHZ	Output Disable to Output in High Z ⁽²⁾	2	8	2	10	2	12	2	15	—	20	ns
tOH	Output Hold from Address Change	5	—	5	—	5	—	5	—	5	—	ns

EJEMPLO DE CATÁLOGO (3)

TIMING WAVEFORM OF WRITE CYCLE NO. 1 (WE CONTROLLED TIMING)^(1, 2, 3, 5, 7)



TIMING WAVEFORM OF WRITE CYCLE NO. 2 (CS CONTROLLED TIMING)^(1, 2, 3, 5)



NOTES:

- WE or CS must be high during all address transitions.
- A write occurs during the overlap (tCW or tWR) of a low CS and a low WE.
- tWR is measured from the earlier of CS or WE going high to the end of the write cycle.
- During this period, I/O pins are in the output state so that the input signals must not be applied.
- If the CS low transition occurs simultaneously with or after the WE low transition, the outputs remain in a high impedance state.
- Transition is measured ±200mV from steady state with a 5pF load (including scope and jig).
- If OE is low during a WE controlled write cycle, the write pulse width must be the larger of tWP or (tWHZ + tOW) to allow the I/O drivers to turn off and data to be placed on the bus for the required tOW. If OE is high during a WE controlled write cycle, this requirement does not apply and the write pulse can be as short as the specified tWP.

AC ELECTRICAL CHARACTERISTICS (VCC = 5.0V ± 10%, All Temperature Ranges)

Symbol	Parameter	71256S20 ⁽¹⁾		71256S25		71256S30		71256S35		71256S45		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
Write Cycle												
tWC	Write Cycle Time	20	—	25	—	30	—	35	—	45	—	ns
tCW	Chip Select to End of Write	15	—	20	—	25	—	30	—	40	—	ns
tAW	Address Valid to End of Write	15	—	20	—	25	—	30	—	40	—	ns
tAS	Address Set-up Time	0	—	0	—	0	—	0	—	0	—	ns
tWP	Write Pulse Width	15	—	20	—	25	—	30	—	35	—	ns
tWR	Write Recovery Time	0	—	0	—	0	—	0	—	0	—	ns
tWHZ	Write Enable to Output in High Z ⁽²⁾	—	10	—	11	—	15	—	15	—	20	ns
tDW	Data to Write Time Overlap	11	—	13	—	14 ⁽³⁾	—	15 ⁽³⁾	—	20	—	ns
tDH1	Data Hold from Write Time (WE)	0	—	0	—	0	—	0	—	0	—	ns
tDH2	Data Hold from Write Time (CS)	3	—	3	—	3	—	3	—	3	—	ns
tOW	Output Active from End of Write ⁽²⁾	5	—	5	—	5	—	5	—	5	—	ns

MEMORIAS DINÁMICAS (DRAM)

• Célula básica

- Pequeño condensador integrado MOS
- Cargado = “1”
- Descargado = “0”
- Ventajas:
 - Muy alto nivel de integración
 - Menor coste a partir de 256K
- Problema: descarga por fugas de corriente
- Solución: recarga periódica (refresco)

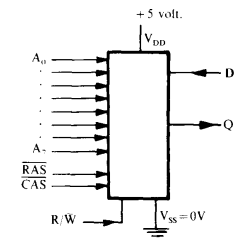
• Proceso de refresco

- Proceso: leer y, si está cargada, recargar
- Necesita circuitos adicionales e implica que la DRAM no está disponible todo el tiempo
- Intervalo de refresco típico: cada 2 mseg.
- Se refrescan a la vez filas o columnas gracias a la estructura matricial
- Cada fila o columna se puede considerar como una página de memoria que se procesa a la vez

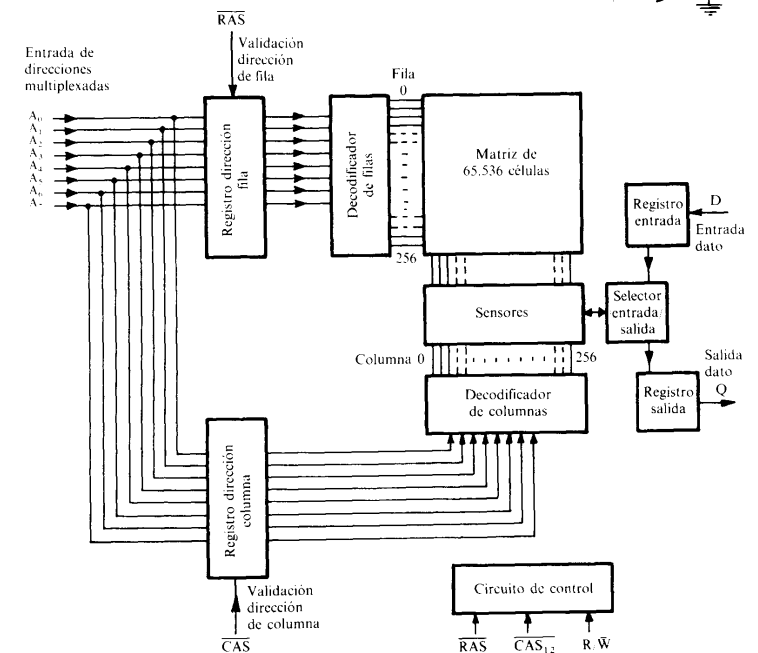
ELEMENTOS DE UNA DRAM (1)

• Elementos

- Registro de dirección de fila
- Registro de dirección de columna
- Decod de filas y decod de columnas
- Sensores (uno por columna)
- Selector de E/S
- Registros de salida y entrada



• DRAM de 64Kx1

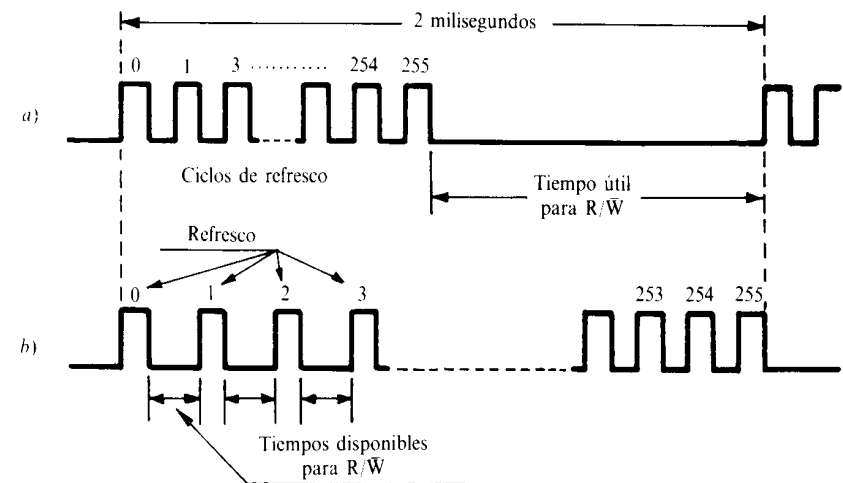


ELEMENTOS DE UNA DRAM (2)

- **Direcciones multiplexadas**
 - Las direcciones (p.e 16 bits) se presentan en dos palabras consecutivas (8 bits)
 - Las señales de control de los registros de direcciones (RAS y CAS) permiten cargar cada palabra en un registro
 - El tamaño del bus de direcciones se reduce a la mitad (menos terminales)
- **Sensores**
 - En lectura: interpretan el estado de la célula y lo envían a la salida Q como estado lógico
 - En escritura: interpretan el estado lógico en la entrada D para cargar o no el condensador
 - En refresco: restituyen el nivel de carga de cada condensador (simultáneamente por filas)
- **Circuitos de control**
 - Control según los valores de las señales RAS, CAS y R/W
 - La activación del chip se realiza a través de RAS, CAS y R/W (sustituyen a CS)
 - No confundir con el controlador externo

MODOS DE REFRESCO

- **Dependen del modo de direccionar las filas**
- **a) Modo ráfaga**
 - Cada 2 mseg. Se direccionan todas las filas de la DRAM que se refrescan consecutivamente
 - El resto del tiempo es para operaciones R/W
- **b) Modo distribuido**
 - Las operaciones R/W se intercalan con el direccionamiento de las filas con fines de refresco



EL CICLO DE REFRESCO

- **Tiempos**

t_{RP} = Tiempo previo a la activación de RAS

t_{RC} = Tiempo de acceso de ciclo de lectura

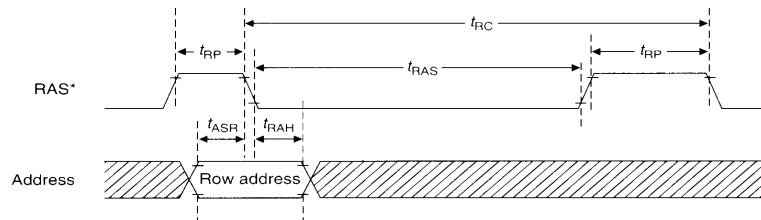
t_{RAS} = Tiempo de activación de RAS

t_{ASR} = Tiempo previo al flanco de RAS con la dirección de fila estable (setup)

t_{RAH} = Tiempo posterior al flanco de RAS con la dirección de fila estable (hold)

- **Ciclo de refresco**

- CAS se mantiene inactiva todo el ciclo
- La entrada de datos y R/W no afectan
- La salida de datos está en alta impedancia



Mnemonic	Name	Value (ns)
t_{RP}	Row address strobe precharge time	70 minimum
t_{RC}	Random access read cycle time	180 minimum
t_{RAS}	Row address strobe pulse width	100–10,000
t_{ASR}	Row address setup time	0 minimum
t_{RAH}	Row address hold time	15 minimum

Note: In a RAS*-only refresh cycle, the refresh address is latched by the falling edge of RAS*. CAS* and W* are high throughout the refresh.

FACTOR DE CALIDAD DE MEMORIAS DRAM

- **Factor de calidad:**

$$\frac{\text{Nº ciclos de refresco en un periodo de refresco}}{\text{Nº ciclos de memoria totales en un periodo de refresco}}$$

- **Ejemplo:**

- Periodo de refresco = 2 mseg
- DRAM de 256 filas
- Ciclo de memoria = 200 nseg

$$\text{Factor de calidad} = 256 / (2 \times 10^{-3} / 200 \times 10^{-9}) = 0,0256 = 2,56\%$$

- Interpretación: el proceso de refresco precisa un 2,56% del tiempo útil de la memoria

ELEMENTOS EXTERNOS PARA DRAM

- **Elementos externos necesarios**
 - Coordinan R/W y refresco
 - Se encuentran en controladores de DRAM

1) Multiplexor de direcciones:

- Convierte una dirección de N bits en dos bloques sucesivos de N/2 bits

2) Contador:

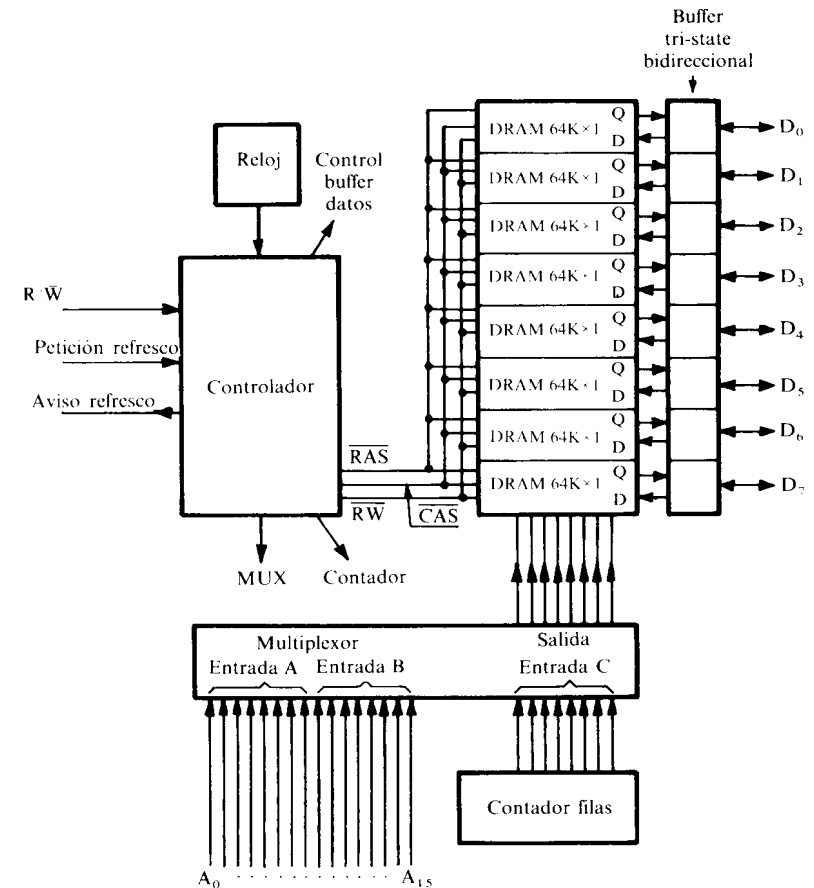
- Direcciona las filas secuencialmente para el refresco

3) Circuito de control:

- Genera las señales RAS, CAS y R/W para las operaciones de R/W y de refresco
- Gobierna el multiplexor, el contador y el sentido del buffer bidireccional del bus de datos
- Recibe órdenes de lectura, escritura y petición de refresco desde la CPU que es la que coordina las operaciones
- Genera la señal de aviso de refresco hacia la CPU

SUBSISTEMA DE MEMORIA CON DRAM

- **Memoria de 64Kx8 a partir de DRAM de 64Kx1.**



OTRAS MEMORIAS DRAM

- **Memorias pseudo-dinámicas**
 - Incorporan el controlador en el mismo chip
 - Ejemplo: MCM511002A (1Mx1-BIT)
 - Usa RAS y CS (en vez de RAS y CAS)
- **Memorias EDO**
 - (Extended Data Out)
 - Son una variación de DRAM funcionando en modo página
 - Modo página (por filas): permite el acceso rápido a columnas dentro de la misma fila (60 nseg por columna frente a 100nseg de un acceso normal)
 - Es rápido porque sólo se debe cambiar la dirección de columna y activar CAS
 - Las EDO simplifican más la temporización (no desactivan las salidas al activar CAS) con lo que permiten accesos más rápidos
 - Además, en EDO los datos válidos están disponibles más tiempo en las salidas

MEMORIAS FLASH

- **Memorias ETOX III FLASH**
 - Presentadas en 1998
 - ETOX (EPROM Tunnel Oxide) es la tecnología de fabricación de Intel
 - Son no volátiles con características casi ideales en todos los terrenos
- **Características**
 - No volátil
 - Optimizada en densidad (células/mm²) con un TRT por célula
 - Alta velocidad (tiempos de acceso pequeños) en lectura y escritura
 - Bajo coste de fabricación y consumo
 - Posibilidad de muchas reescrituras
 - Presenta una escalabilidad inherente
- **Aplicaciones**
 - PC BIOS, sistema operativo (permiten bloqueo frente a escritura y responden bien a cortes de alimentación)
 - Controladores de disco, discos, tarjetas de memoria para PCs portátiles
 - Telefonía celular

FAMILIA DE PRODUCTOS FLASH DE INTEL

- **Memorias FLASH**

- Placas de memoria (memory card) de 4, 10 y 20 Mbyte

- **Memorias BOOT BLOCK FLASH**

- Tiempo de acceso de 60 nseg
- Ejemplo: 28F001BX de 1Mbit muy usada en PC BIOS y comunicaciones celulares
- Arquitectura sectorizada que permite almacenar código de manera muy segura en una zona bloqueable contra escritura
- Dicho código puede copiarse rápidamente a otras direcciones para inicializar el sistema
- Así se garantiza que incluso si se interrumpe la alimentación durante la actualización de la BIOS el sistema se recupera inmediatamente

COMPARACIÓN DE MEMORIAS

	FLASH	SRAM +bat	DRAM +disk	EEPROM	ROM / EPROM
-No volatil	X			X	X
-Alta densidad	X		X		X
-Bajo consumo	X			X	X
-1 TRT/célula	X				X
-Regrabable en el sistema	X	X	X	X	
-Datos y programa	X	X	X	X	
-Alteración a nivel byte		X	X	X	

Tipo	Fabricante	Tamaño	Tiempo de acceso	Tiempo de borrado y escritura	Vida (Ciclos de borrado y re-escritura)	Borrado mínimo
FLASH	INTEL	1 Mbit	120 ns	Pastilla: 1 seg Byte: 10 µseg	10 ⁵	Pastilla completa
	SEEQ Tech.	1 Mbit	200 ns	Pastilla: 12 seg Byte: 525 µseg	10 ³	Pastilla o sector
	TEXAS	256 Kbit	170 ns	Pastilla: 15 ms Página: 15 ms	10 ³	Pastilla completa
	TOSHIBA	256 Kbit	170 ns	Pastilla: 100 ms Byte: 200 µs	10 ²	Pastilla completa
EAROM	SIMTEK	256 Kbit	120 ns	Pastilla: 10 ms Byte: 160 µs	10 ⁵	BYTE
	XICOR	1 Mbit	200 ns	Página: 5 ms	10 ⁵	BYTE