

ANX-PR/CL/001-02
GUÍA DE APRENDIZAJE

ASIGNATURA

Herramientas para el diseño electrónico

CURSO ACADÉMICO - SEMESTRE

2015-16 - Segundo semestre

Datos Descriptivos

Nombre de la Asignatura	Herramientas para el diseño electrónico
Titulación	09AN - Master Universitario en Ingeniería de Sistemas Electrónicos
Centro responsable de la titulación	E.T.S. de Ingenieros de Telecomunicacion
Semestre/s de impartición	Segundo semestre
Carácter	Optativa
Código UPM	93000717
Nombre en inglés	Tools for electronic design

Datos Generales

Créditos	4	Curso	1
Curso Académico	2015-16	Período de impartición	Febrero-Junio
Idioma de impartición	Castellano	Otros idiomas de impartición	

Requisitos Previos Obligatorios

Asignaturas Superadas

El plan de estudios Master Universitario en Ingeniería de Sistemas Electrónicos no tiene definidas asignaturas previas superadas para esta asignatura.

Otros Requisitos

El plan de estudios Master Universitario en Ingeniería de Sistemas Electrónicos no tiene definidos otros requisitos para esta asignatura.

Conocimientos Previos

Asignaturas Previas Recomendadas

El coordinador de la asignatura no ha definido asignaturas previas recomendadas.

Otros Conocimientos Previos Recomendados

El coordinador de la asignatura no ha definido otros conocimientos previos recomendados.

Competencias

CE2 - Capacidad para aplicar herramientas, técnicas y metodologías avanzadas de diseño de sistemas o subsistemas electrónicos

CO7 - Aplicar metodologías, estrategias y herramientas CAD en el diseño de sistemas electrónicos heterogéneos de altas prestaciones

Resultados de Aprendizaje

RA71 - El alumno entenderá y evaluará los métodos generales de optimización combinatoria que emplean las herramientas CAD.

RA72 - El alumno estará familiarizado con los parámetros que describen una biblioteca de células estándar.

RA73 - El alumno entenderá los algoritmos involucrados en la síntesis lógica y equivalencia tecnológica de circuitos combinatoriales y secuenciales, así como la síntesis de alto nivel. El alumno será capaz de sintetizar un circuito descrito en lenguaje VHDL empleando la herramienta ?Synopsys Design Compiler? y caracterizar el circuito sintetizado. El alumno se familiarizará con los tipos de ficheros proporcionados por los fabricantes de células estándar para la síntesis.

RA74 - El alumno entenderá los algoritmos involucrados en los distintos tipos de simulación de circuitos electrónicos. El alumno será capaz de realizar simulaciones pre-síntesis, post-síntesis y post-place&routem empleando la herramienta ?Modelsim?. El alumno se familiarizará con los tipos de modelos de retardo proporcionados por los fabricantes de células estándar para la síntesis.

RA75 - El alumno entenderá los algoritmos involucrados en la fase de diseño físico VLSI: floorplanning, colocación, rutado y rutados especiales. El alumno será capaz de realizar el diseño físico de un circuito sintetizado empleando la herramienta ?Cadence SOC Encounter?, realizar su verificación física y eléctrica y su caracterización. El alumno se familiarizará con los tipos de ficheros proporcionados por los fabricantes de células estándar para el diseño físico.

RA76 - El alumno entenderá las técnicas más empleadas para la verificación de circuitos digitales. El alumno se familiarizará con SystemVerilog y las metodologías de verificación orientadas según UVM 1.1. El alumno será capaz de verificar un circuito descrito en VHDL siguiendo las pautas descritas por UVM 1.1.

Profesorado

Profesorado

Nombre	Despacho	e-mail	Tutorías
Ituero Herrero, Pablo (Coordinador/a)	C-226	pablo.ituero@upm.es	M - 14:00 - 15:00 X - 14:00 - 15:00 J - 14:00 - 15:00

Nota.- Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

Descripción de la Asignatura

Esta asignatura tiene como objetivo formar al estudiante en el uso de las herramientas CAD para diseño de circuitos integrados digitales, con especial atención a las fases de síntesis, simulación, diseño físico y verificación. Sobre cada tema se realizarán una serie de prácticas de laboratorio con las herramientas y metodologías profesionales que se utilizan en la industria electrónica basándose en el flujo de trabajo de células estándar.

Objetivos concretos:

- El alumno entenderá y evaluará los métodos generales de optimización combinatoria que emplean las herramientas CAD.
- El alumno estará familiarizado con los parámetros que describen una biblioteca de células estándar.
- El alumno entenderá los algoritmos involucrados en la síntesis lógica y equivalencia tecnológica de circuitos combinatoriales y secuenciales, así como la síntesis de alto nivel. El alumno será capaz de sintetizar un circuito descrito en lenguaje VHDL empleando la herramienta ?Synopsys Design Compiler? y caracterizar el circuito sintetizado. El alumno se familiarizará con los tipos de ficheros proporcionados por los fabricantes de células estándar para la síntesis.
- El alumno entenderá los algoritmos involucrados en los distintos tipos de simulación de circuitos electrónicos. El alumno será capaz de realizar simulaciones pre-síntesis, post-síntesis y post-place&route empleando la herramienta ?Modelsim?. El alumno se familiarizará con los tipos de modelos de retardo proporcionados por los fabricantes de células estándar para la síntesis.
- El alumno entenderá los algoritmos involucrados en la fase de diseño físico VLSI: floorplanning, colocación, rutado y rutados especiales. El alumno será capaz de realizar el diseño físico de un circuito sintetizado empleando la herramienta ?Cadence SOC Encounter?, realizar su verificación física y eléctrica y su caracterización. El alumno se familiarizará con los tipos de ficheros proporcionados por los fabricantes de células estándar para el diseño físico.
- El alumno entenderá las técnicas más empleadas para la verificación de circuitos digitales. El alumno se familiarizará con SystemVerilog y las metodologías de verificación orientadas según UVM 1.1. El alumno será capaz de verificar un circuito descrito en VHDL siguiendo las pautas descritas por UVM 1.1.

La asignatura está planteada como una mezcla de clases magistrales, que dan una visión teórica sobre los algoritmos y metodologías, más unas sesiones de laboratorio donde se ponen en práctica los conceptos aprendidos. Al final de las prácticas los alumnos entregarán una memoria como justificación del trabajo realizado y de los resultados obtenidos. Para cada tema, el profesor seleccionará las prácticas de dos equipos de trabajo que tendrán que realizar una presentación con los resultados obtenidos y participar en un debate sobre sus decisiones de diseño.

Temario

1. Introducción (0.5 ECTS). Metodologías de diseño. Bibliotecas de células estándar. Métodos para optimización combinatoria de propósito general.

1.1. Laboratorio: Análisis de una librería de células estándar.

2. Síntesis (0.75 ECTS). Optimización y síntesis de lógica combinatorial. Optimización de lógica de dos niveles. Optimización de lógica multi-nivel. Diseño de lógica secuencial: Síntesis de FSM. Síntesis de alto nivel. Tareas de planificación y asignación.

2.1. Laboratorio: Síntesis y caracterización con Synopsys.

3. Simulación (0.75 ECTS). Tipos de simulación. Modelos de células. Modelos de retardo. Verificación formal. Análisis de tiempo estático. Simulación a nivel de transistor.

3.1. Laboratorio: Simulación con Modelsim.

4. Diseño Físico (1 ECTS). Partición. Colocación de objetos en 0-d. Colocación de objetos en 1-d. Colocación de objetos en 2-d. Conexionado global. Conexionado de canal. Conexionado detallado. Conexionado de reloj y alimentación.

4.1. Laboratorio: Diseño físico con Cadence SoC Encounter.

5. Verificación (1 ECTS). Introducción a la verificación. Verificación a nivel sistema. Cobertura funcional. Declaraciones (assertions). Introducción a SystemVerilog. UVM 1.1.

5.1. Laboratorio: Verificación a nivel sistema con SystemVerilog siguiendo las pautas de UVM 1.1.

Cronograma

Horas totales: 44 horas

Horas presenciales: 44 horas (42.3%)

Peso total de actividades de evaluación continua:
100%

Peso total de actividades de evaluación sólo prueba final:
100%

Semana	Actividad Presencial en Aula	Actividad Presencial en Laboratorio	Otra Actividad Presencial	Actividades Evaluación
Semana 1	Introducción Duración: 02:00 LM: Actividad del tipo Lección Magistral			
Semana 2	Síntesis Duración: 02:00 LM: Actividad del tipo Lección Magistral	P1. Análisis de una librería de células estándar. Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación calidad de prácticas Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua y sólo prueba final Actividad presencial
Semana 3		P2. Síntesis y caracterización con Synopsys. Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación calidad de prácticas Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua y sólo prueba final Actividad presencial
Semana 4		P2. Síntesis y caracterización con Synopsys. Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación calidad de prácticas Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua y sólo prueba final Actividad presencial
Semana 5	Simulación Duración: 02:00 LM: Actividad del tipo Lección Magistral			
Semana 6	Simulación Duración: 02:00 LM: Actividad del tipo Lección Magistral	P3. Simulación con Modelsim. Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación calidad de prácticas Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua y sólo prueba final Actividad presencial
Semana 7	Diseño Físico Duración: 02:00 LM: Actividad del tipo Lección Magistral			
Semana 8	Diseño Físico Duración: 02:00 LM: Actividad del tipo Lección Magistral			Parcial temas 1-3 Duración: 02:00 EX: Técnica del tipo Examen Escrito Evaluación continua Actividad presencial

Semana 9		P4. Diseño Físico con Cadence Encounter Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación calidad de prácticas Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua y sólo prueba final Actividad presencial
Semana 10		P4. Diseño Físico con Cadence Encounter Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación calidad de prácticas Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua y sólo prueba final Actividad presencial
Semana 11	Verificación Duración: 02:00 LM: Actividad del tipo Lección Magistral			
Semana 12	Verificación Duración: 02:00 LM: Actividad del tipo Lección Magistral			
Semana 13		P5 Verificación a nivel sistema con SystemVerilog siguiendo las pautas de UVM 1.1. Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación calidad de prácticas Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua y sólo prueba final Actividad presencial
Semana 14		P5 Verificación a nivel sistema con SystemVerilog siguiendo las pautas de UVM 1.1. Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación calidad de prácticas Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua y sólo prueba final Actividad presencial
Semana 15				Examen parcial temas 4-5 Duración: 02:00 EX: Técnica del tipo Examen Escrito Evaluación continua Actividad presencial Examen final Duración: 03:00 EX: Técnica del tipo Examen Escrito Evaluación sólo prueba final Actividad presencial Participación en case Duración: 00:00 OT: Otras técnicas evaluativas Evaluación continua Actividad presencial
Semana 16				
Semana 17				

Nota.- El cronograma sigue una planificación teórica de la asignatura que puede sufrir modificaciones durante el curso.

Nota 2.- Para poder calcular correctamente la dedicación de un alumno, la duración de las actividades que se repiten en el tiempo (por ejemplo, subgrupos de prácticas") únicamente se indican la primera vez que se definen.

Actividades de Evaluación

Semana	Descripción	Duración	Tipo evaluación	Técnica evaluativa	Presencial	Peso	Nota mínima	Competencias evaluadas
2	Evaluación calidad de prácticas	00:00	Evaluación continua y sólo prueba final	TG: Técnica del tipo Trabajo en Grupo	Sí	5%	5 / 10	
3	Evaluación calidad de prácticas	00:00	Evaluación continua y sólo prueba final	TG: Técnica del tipo Trabajo en Grupo	Sí	5%	5 / 10	
4	Evaluación calidad de prácticas	00:00	Evaluación continua y sólo prueba final	TG: Técnica del tipo Trabajo en Grupo	Sí	5%	5 / 10	
6	Evaluación calidad de prácticas	00:00	Evaluación continua y sólo prueba final	TG: Técnica del tipo Trabajo en Grupo	Sí	5%	5 / 10	
8	Parcial temas 1-3	02:00	Evaluación continua	EX: Técnica del tipo Examen Escrito	Sí	25%	4 / 10	CE2, CO7
9	Evaluación calidad de prácticas	00:00	Evaluación continua y sólo prueba final	TG: Técnica del tipo Trabajo en Grupo	Sí	5%	5 / 10	
10	Evaluación calidad de prácticas	00:00	Evaluación continua y sólo prueba final	TG: Técnica del tipo Trabajo en Grupo	Sí	5%	5 / 10	
13	Evaluación calidad de prácticas	00:00	Evaluación continua y sólo prueba final	TG: Técnica del tipo Trabajo en Grupo	Sí	5%	5 / 10	
14	Evaluación calidad de prácticas	00:00	Evaluación continua y sólo prueba final	TG: Técnica del tipo Trabajo en Grupo	Sí	5%	5 / 10	
15	Examen parcial temas 4-5	02:00	Evaluación continua	EX: Técnica del tipo Examen Escrito	Sí	25%	4 / 10	CO7, CE2
15	Examen final	03:00	Evaluación sólo prueba final	EX: Técnica del tipo Examen Escrito	Sí	60%	5 / 10	CO7, CE2
15	Participación en case	00:00	Evaluación continua	OT: Otras técnicas evaluativas	Sí	10%		CO7, CE2

Criterios de Evaluación

Parcial tipo test de los temas 1, 2 y 3. 25%

Parcial tipo test de los temas 4 y 5. 25%

Calidad técnica de las prácticas. 40%

Participación en clase y aptitudes técnicas demostradas en las sesiones de laboratorio. 10%

Recursos Didácticos

Descripción	Tipo	Observaciones
Application-Specific Integrated Circuits. Michael John Sebastian Smith. Addison-Wesley. 1997.	Bibliografía	Cubre todo el temario