



UNIVERSIDAD
POLITÉCNICA
DE MADRID

PROCESO DE
COORDINACIÓN DE LAS
ENSEÑANZAS PR/CL/001



E.T.S. de Ingenieros de
Telecomunicacion

ANX-PR/CL/001-01

GUÍA DE APRENDIZAJE

ASIGNATURA

93001025 - Microelectrónica

PLAN DE ESTUDIOS

09AZ - Master Universitario En Ingenieria De Sistemas Electronicos

CURSO ACADÉMICO Y SEMESTRE

2021/22 - Primer semestre

Índice

Guía de Aprendizaje

1. Datos descriptivos.....	1
2. Profesorado.....	1
3. Competencias y resultados de aprendizaje.....	2
4. Descripción de la asignatura y temario.....	2
5. Cronograma.....	5
6. Actividades y criterios de evaluación.....	8
7. Recursos didácticos.....	10

1. Datos descriptivos

1.1. Datos de la asignatura

Nombre de la asignatura	93001025 - Microelectrónica
No de créditos	4 ECTS
Carácter	Optativa
Curso	Primer curso
Semestre	Primer semestre
Período de impartición	Septiembre-Enero
Idioma de impartición	Castellano
Titulación	09AZ - Master Universitario en Ingeniería de Sistemas Electronicos
Centro responsable de la titulación	09 - Escuela Tecnica Superior De Ingenieros De Telecomunicacion
Curso académico	2021-22

2. Profesorado

2.1. Profesorado implicado en la docencia

Nombre	Despacho	Correo electrónico	Horario de tutorías *
M. Luisa Lopez Vallejo (Coordinador/a)	C-230	m.lopez.vallejo@upm.es	L - 15:00 - 16:00 M - 17:00 - 19:00

* Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

3. Competencias y resultados de aprendizaje

3.1. Competencias

CE02 - Capacidad para aplicar herramientas, técnicas y metodologías avanzadas de diseño de sistemas o subsistemas electrónicos

CE04 - Capacidad para diseñar un dispositivo, sistema, aplicación o servicio que cumpla unas especificaciones dadas, empleando un enfoque sistémico y multidisciplinar e integrando los módulos y herramientas avanzadas disponibles en el campo de la Ingeniería Electrónica.

CE05 - Capacidad para seleccionar, especificar, proyectar, documentar o poner a punto sistemas electrónicos para proporcionar o explotar servicios o infraestructuras en áreas de aplicación de interés.

3.2. Resultados del aprendizaje

RA5 - Conocimientos cualitativos y cuantitativos para la selección e interconexión de subsistemas en el diseño de sistemas electrónicos analógicos o digitales.

RA64 - Conocimiento de técnicas de manejo de la complejidad en el diseño de sistemas integrados en un chip

RA65 - Capacidad de realizar simulación de circuitos, edición y síntesis de trazados

4. Descripción de la asignatura y temario

4.1. Descripción de la asignatura

La asignatura Microelectrónica persigue el objetivo de formar a los alumnos del máster en el diseño full-custom de circuitos integrados VLSI. Esta asignatura proporciona un puente entre el diseño de sistemas y las tecnologías, procesos y dispositivos, planteando los requerimientos de los circuitos y sistemas que hacen uso de dichas tecnologías.

Esta asignatura proporciona a los futuros diseñadores de sistemas hardware una visión que cubre desde los aspectos de diseño de sistemas hasta los de trazado físico, pasando por sus circuitos y bloques componentes, fundamentalmente centrados en tecnología CMOS, que es la más utilizada hoy en día para el diseño de circuitos de aplicación. Se asegurará también una introducción básica a las estructuras y procesos tecnológicos necesarios en la labor de diseño de circuitos integrados.

La asignatura se organiza en clases teóricas que se complementan con sesiones prácticas de diseño de circuitos con herramientas de diseño.

4.2. Temario de la asignatura

1. Introducción al diseño de ASICs
2. Transistores: su funcionamiento
 - 2.1. Estructura MOS
 - 2.2. El transistor MOSFET
 - 2.3. Efectos de segundo orden
 - 2.4. Modelo unificado
3. Lógica CMOS
 - 3.1. Inversores
 - 3.2. Lógica de puertas
 - 3.3. Diagramas de barras
 - 3.4. Lógica de conmutación
4. Proceso CMOS
 - 4.1. Proceso CMOS básico
 - 4.2. Reglas de diseño
 - 4.3. Latchup
 - 4.4. Utilización de herramientas de diseño (Cadence)
5. Caracterización del circuito
 - 5.1. Resistencia

- 5.2. Capacidad
- 5.3. Retardo
- 5.4. Excitación de grandes capacidades
- 5.5. Consumo de potencia
- 5.6. Optimización
- 6. Lógica secuencial, temporización y familias lógicas
 - 6.1. Elementos secuenciales: latch y flip-flop
 - 6.2. Temporización
 - 6.3. Familias Lógicas
- 7. Memorias
 - 7.1. RAMs
 - 7.2. ROMs
- 8. Visión global del circuito integrado
 - 8.1. Entrada/Salida del chip
 - 8.2. Plano de base
 - 8.3. Alternativas de diseño de chips CMOS
 - 8.4. Aspectos económicos
- 9. Test de circuitos integrados / Diseño para test
 - 9.1. Necesidad del test
 - 9.2. Controlabilidad, observabilidad y modelos de fallos
 - 9.3. Estrategias de diseño para test
 - 9.4. Test a nivel de sistema

5. Cronograma

5.1. Cronograma de la asignatura *

Sem	Actividad presencial en aula	Actividad presencial en laboratorio	Tele-enseñanza	Actividades de evaluación
1	Tema 1: Introducción al diseño de ASICs Duración: 01:00 LM: Actividad del tipo Lección Magistral Tema 2: Transistores: su funcionamiento Duración: 02:00 LM: Actividad del tipo Lección Magistral			
2	Tema 2: Transistores: su funcionamiento Duración: 01:00 LM: Actividad del tipo Lección Magistral Tema 2: Transistores: su funcionamiento Duración: 02:00 PR: Actividad del tipo Clase de Problemas			
3	Tema 3: Lógica CMOS Duración: 01:00 LM: Actividad del tipo Lección Magistral Tema 3: Lógica CMOS Duración: 02:00 LM: Actividad del tipo Lección Magistral			
4	Tema 3: Lógica CMOS Duración: 01:00 LM: Actividad del tipo Lección Magistral Tema 4: Proceso CMOS Duración: 02:00 LM: Actividad del tipo Lección Magistral			Entrega de ejercicios sobre el funcionamiento de los transistores MOS TI: Técnica del tipo Trabajo Individual Evaluación continua No presencial Duración: 00:00
5	Tema 5: Caracterización del circuito Duración: 01:00 LM: Actividad del tipo Lección Magistral	Aprendizaje de herramientas de simulación y edición de trazados Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
6	Tema 5: Caracterización del circuito Duración: 01:00 PR: Actividad del tipo Clase de Problemas			Examen Parcial EX: Técnica del tipo Examen Escrito Evaluación continua Presencial Duración: 02:00
7	Presentación del proyecto Duración: 01:00 LM: Actividad del tipo Lección Magistral Tema 6: Circuitos secuenciales Duración: 02:00 LM: Actividad del tipo Lección Magistral			

8	<p>Tema 6: Circuitos secuenciales Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 6: Circuitos secuenciales Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			
9	<p>Tema 6: Circuitos secuenciales Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 6: Circuitos secuenciales Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			<p>Primera entrega del proyecto correspondiente a circuitos combinacionales TG: Técnica del tipo Trabajo en Grupo Evaluación continua No presencial Duración: 00:00</p>
10	<p>Tema 7: Memorias Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 7: Memorias Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			
11	<p>Tema 7: Memorias Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 9: Visión global del circuito integrado Duración: 01:00 LM: Actividad del tipo Lección Magistral</p>			<p>Segunda entrega del proyecto correspondiente a circuitos secuenciales TG: Técnica del tipo Trabajo en Grupo Evaluación continua No presencial Duración: 00:00</p>
12	<p>Tema 9: Visión global del circuito integrado Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 9: Visión global del circuito integrado Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			
13	<p>Tema 10: Test de circuitos integrados Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 10: Test de circuitos integrados Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>Repaso. Ejercicios de examen Duración: 01:00 PR: Actividad del tipo Clase de Problemas</p>			<p>Tercera entrega del proyecto correspondiente a memorias y el controlador central sintetizado a partir de un código VHDL TG: Técnica del tipo Trabajo en Grupo Evaluación continua No presencial Duración: 00:00</p>
14				
15				
16				
				<p>Examen final. Sólo segunda parte si se tiene una calificación igual o superior a 4,0 en el examen parcial EX: Técnica del tipo Examen Escrito Evaluación continua Presencial Duración: 02:00</p> <p>Participación en clase a lo largo del</p>

17			<p>curso OT: Otras técnicas evaluativas Evaluación continua Presencial Duración: 00:00</p> <p>Examen final EX: Técnica del tipo Examen Escrito Evaluación sólo prueba final Presencial Duración: 03:00</p> <p>Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas anteriores más la parte de visión global del chip TG: Técnica del tipo Trabajo en Grupo Evaluación continua y sólo prueba final Presencial Duración: 00:00</p>
----	--	--	--

Para el cálculo de los valores totales, se estima que por cada crédito ECTS el alumno dedicará dependiendo del plan de estudios, entre 26 y 27 horas de trabajo presencial y no presencial.

* El cronograma sigue una planificación teórica de la asignatura y puede sufrir modificaciones durante el curso derivadas de la situación creada por la COVID-19.

6. Actividades y criterios de evaluación

6.1. Actividades de evaluación de la asignatura

6.1.1. Evaluación continua

Sem.	Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
4	Entrega de ejercicios sobre el funcionamiento de los transistores MOS	TI: Técnica del tipo Trabajo Individual	No Presencial	00:00	0%	0 / 10	CE04
6	Examen Parcial	EX: Técnica del tipo Examen Escrito	Presencial	02:00	20%	4 / 10	CE04
9	Primera entrega del proyecto correspondiente a circuitos combinacionales	TG: Técnica del tipo Trabajo en Grupo	No Presencial	00:00	%	0 / 10	CE02
11	Segunda entrega del proyecto correspondiente a circuitos secuenciales	TG: Técnica del tipo Trabajo en Grupo	No Presencial	00:00	%	0 / 10	CE02
13	Tercera entrega del proyecto correspondiente a memorias y el controlador central sintetizado a partir de un código VHDL	TG: Técnica del tipo Trabajo en Grupo	No Presencial	00:00	%	0 / 10	CE02
17	Examen final. Sólo segunda parte si se tiene una calificación igual o superior a 4,0 en el examen parcial	EX: Técnica del tipo Examen Escrito	Presencial	02:00	20%	4 / 10	CE04
17	Participación en clase a lo largo del curso	OT: Otras técnicas evaluativas	Presencial	00:00	10%	0 / 10	
17	Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas anteriores más la parte de visión global del chip	TG: Técnica del tipo Trabajo en Grupo	Presencial	00:00	50%	5 / 10	CE05 CE02

6.1.2. Evaluación sólo prueba final

Sem	Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
17	Examen final	EX: Técnica del tipo Examen Escrito	Presencial	03:00	50%	4 / 10	CE04
17	Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas anteriores más la parte de visión global del chip	TG: Técnica del tipo Trabajo en Grupo	Presencial	00:00	50%	5 / 10	CE05 CE02

6.1.3. Evaluación convocatoria extraordinaria

Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
Examen final	EX: Técnica del tipo Examen Escrito	Presencial	03:00	50%	4 / 10	CE04
Entrega proyecto final	TI: Técnica del tipo Trabajo Individual	Presencial	00:00	50%	5 / 10	CE05 CE02

6.2. Criterios de evaluación

La calificación final de la asignatura, en evaluación continua, se realizará a través de tres evaluaciones:

- Primer examen escrito (parcial): se libera la primera mitad de la teoría si se tiene una calificación igual o superior a 4,0. En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase.
- Segundo examen escrito (segunda mitad de la teoría). En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase. Se puede evaluar de nuevo la primera parte de la asignatura si el alumno no tuvo en el parcial una calificación igual o superior a 4,0.
- Entrega de trabajos prácticos y ejercicios (50%).
- Participación en clase y entregas teóricas (10%).

En convocatoria ordinaria, los alumnos serán evaluados por defecto mediante evaluación continua. No obstante, los alumnos que lo deseen podrán ser evaluados por la opción sólo prueba final, siempre y cuando lo comuniquen

al Coordinador de la Asignatura mediante correo electrónico enviado antes de la fecha de entrega de la primera entrega del proyecto, en la semana 7. En esta opción, el alumnado tiene acceso libre al laboratorio y la calificación se otorgará en función de dos evaluaciones:

- Un examen escrito (50%). En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase.
- Entrega de la memoria y los ficheros del proyecto final (50%). Es el mismo proyecto que en la versión de evaluación continua.

En convocatoria extraordinaria, los alumnos serán evaluados en función de dos pruebas:

- Un examen escrito (50%). En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase.
- Entrega de la memoria y los ficheros del proyecto final (50%). Es el mismo proyecto que en la versión de evaluación continua.

7. Recursos didácticos

7.1. Recursos didácticos de la asignatura

Nombre	Tipo	Observaciones
CMOS VLSI Design: A circuits and Systems Perspective N. Weste, D. Harris (Libro de referencia). Pearson Addison Wesley 2005.	Bibliografía	
"Digital Integrated Circuits", Rabaey, J.M. Prentice Hall, 1996	Bibliografía	

Introduction to VLSI Systems: A Logic, Circuit, and System Perspective Ming-Bo Lin. CRC Press. 2011	Bibliografía	
--	--------------	--