

Módulo de adquisición para un escáner PET de alta resolución

P. Guerra Gutiérrez, J.E. Otuño Fisac, J.L. Rubio Guivernau, G. Kontaxakis, M.J Ledesma Carbayo, Andres Santos Lleó

Departamento de Ingeniería Electrónica, Universidad Politécnica de Madrid, Madrid, España, pguerra@upm.es

Resumen

Esta comunicación describe la electrónica de adquisición y procesamiento de un tomógrafo por emisión de positrones de alta resolución para pequeños animales actualmente en desarrollo. El núcleo central del sistema es un dispositivo lógico programable de tamaño medio, el cual alberga un pequeño procesador RISC de 32 bits, distintos periféricos de comunicación y una unidad específica de procesamiento destinada a la detección y caracterización de la radiación gamma. Todo el sistema está gestionado por un sistema operativo de tiempo real, que abstrae el hardware empotrado y permite la integración del control con la adquisición al tiempo que proporciona una aproximación robusta y manejable al desarrollo de sistemas digitales complejos.

1. Introducción

A medida que los dispositivos lógicos programables (FPGAs) aumentan en tamaño y densidad, disminuye el número de aplicaciones que son dominio exclusivo de los circuitos integrados de propósito específico (*Application Specific Integrated Circuit* o *ASIC*). La adopción de tecnologías programables reduce el tiempo y los riesgos de desarrollo, sin que ello se traduzca en un incremento del tamaño final de la electrónica[1]. Además la reconfiguración remota facilita la distribución de actualizaciones, lo cual redundará en un alargamiento en el tiempo de vida de los productos.

En los últimos años la electrónica de cabecera (*front-end*) empleada en tomografía nuclear no ha sido ajena a esta tendencia, de tal modo que muchos detectores basados en ASIC, como el descrito en [2], han sido paulatinamente sustituidos por su equivalente programable [3]. Sin embargo, la mayoría de los sistemas existentes requieren un circuito externo para la discretización del tiempo (*Time Digital Converter* o *TDC*) con el objeto de generar la marca temporal empleada en la resolución de coincidencias [4]. Existen, no obstante, algunas excepciones a esta aseveración, las cuales sustituyen la circuitería externa por procesamiento digital adicional [5-8].

En este trabajo se describe la electrónica de cabecera que está siendo desarrollada por nuestro grupo, siendo el objetivo final la elaboración de una cámara flexible, de bajo coste y compacta, adaptada a las necesidades de la tomografía por emisión de positrones (*Positron Emission Tomography* o PET) con pequeños animales. Como hipótesis de partida asumimos un detector consistente en dos capas de cristales con distintas propiedades de

centelleo (*phoswich*) acopladas a un fotomultiplicador sensible a la posición (*position sensitive photomultiplier* o PS-PMT), cuyas salidas son combinadas mediante una red resistiva tipo Anger [9]. No obstante el sistema propuesto puede acomodar otras configuraciones. Con el objeto de reducir espacio y de simplificar el diseño final, se propone integrar todo el sistema en una única FPGA. De este modo el módulo de procesamiento digital de la señal adquirida (DSP), que calcula los parámetros fundamentales del pulso de centello (energía, posición y temporización) será tratado como un periférico adicional de un sistema más complejo. Un sistema operativo de tiempo real (*real time operating system* o RT/OS) gestiona los recursos del sistema empotrado, simplificando el desarrollo de hardware y software (HW/SW).

Este documento está estructurado como sigue: la primera sección enumera las herramientas software empleadas y proporciona una visión de conjunto del sistema completo; la siguiente sección presenta la arquitectura del sistema digital diseñado, para presentar finalmente algunos resultados referentes a área, frecuencia de trabajo y ancho de banda de transmisión.

2. Material y Métodos

2.1. Herramientas Software

Se ha empleado el paquete software *The Embedded Design Kit v6.2* (Xilinx Inc., San José CA, USA) para la integración del sistema empotrado, incluyendo periféricos (bien propietarios o desarrollados por un tercero), RT/OS así como distintos servicios software adicionales. Por otra parte, se ha empleado el simulador *Modelsim SE* (Mentor Graphics, Wilsonville OR, USA) durante el desarrollo del hardware digital, así como en la interacción entre los módulos hardware (*cores*) desarrollados y las librerías software de bajo nivel (*drivers*).

El módulo de procesamiento digital, descrito en VHDL (Very High Speed Integrated Circuit Hardware Description Language), ha sido optimizado y verificado por medio de cosimulación entre *Modelsim* y *Simulink 5.0* (The Mathworks, Natick, MA, USA), haciendo uso del paquete software *XtremeDSP®* de Xilinx. Se ha empleado *Simulink* para la construcción de pulsos de centello realistas que se toman como estímulo de entrada al hardware digital simulado por *Modelsim*. Para la elaboración de estos pulsos se ha realizado un modelado detallado del proceso de centelleo y amplificación,

incluyendo efectos propios del cristal, del PS-PMT, de la electrónica de preamplificación y de los ADC[10].

El RT/OS empleado, denominado μ C/OS-II (Micrium, Weston FL, USA), se caracteriza por su modularidad, portabilidad y robustez. Este RT/OS proporciona todos los recursos de sincronización y planificación requeridos por nuestra aplicación. El núcleo (*kernel*) está escrito en ANSI C y su empleo en sistemas críticos, como aviónica o productos médicos, ha sido certificado por la Administración Federal de Aviación (FAA). Además existen versiones de este sistema operativo para todos los microprocesadores soportados por los principales fabricantes de FPGA (PowerPC, ARM, NiosII y Microblaze), proporcionando un nivel adicional de independencia frente a la tecnología final de destino.

El sistema empotrado es controlado por medio de herramientas propias desarrolladas con la plataforma .NET platform (Microsoft Corp., Redmond NY, USA).

2.2. Descripción del Sistema

El sistema de adquisición contará, como se muestra en la figura 1, con los siguientes componentes:

- Un controlador maestro, responsable de distribuir las señales de sincronización. Estas señales son necesarias con el objeto de garantizar que todos los módulos de adquisición comparten un mismo reloj sincronizado en fase.
- Un número par de módulos de adquisición de datos, consistentes en un conjunto de cristales de centelleo acoplados a un PS-PMT, así como la electrónica de lectura, procesado y control asociadas, siendo la parte digital de toda esta electrónica el objeto de este trabajo.
- Uno o más concentradores de Ethernet, dependiendo el número de módulos de adquisición. Estos dispositivos concentran los datos que se envían a una estación de trabajo para la posterior resolución de coincidencias y reconstrucción de la imagen tomográfica.

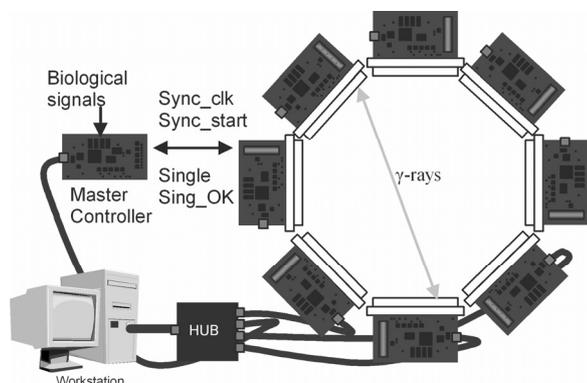


Figura 1. Esquema del tomógrafo. Los detectores, los cuales pueden adaptarse a distintas geometrías, envían los datos adquiridos a un PC externo para su reconstrucción.

El mencionado controlador maestro incluirá:

- Una interfaz de muestreo de baja frecuencia, para la adquisición de señales biológicas, tales como el ciclo cardíaco o respiratorio. La sincronización de esta actividad externa con respecto a la base de tiempos interna permitirá validar las imágenes reconstruidas, además de mejorar la reproducibilidad de las investigaciones con PET[11].
- Un detector de coincidencias configurable por software. Los módulos de adquisición informan sobre la detección de cada rayo gamma, de tal modo que resulta posible discriminar coincidencias en una ventana de tiempos amplia, con el objeto de reducir el número de eventos transmitidos hacia el exterior.
- Tareas de control del tomógrafo, como el motor de rotación o el movimiento de la cama.

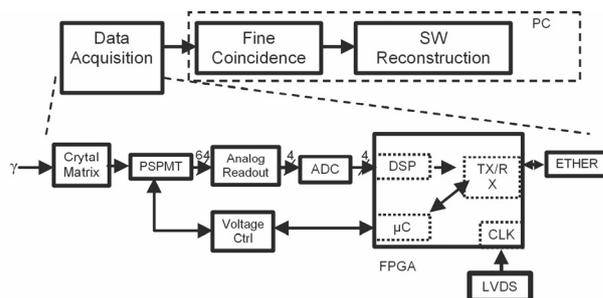


Figura 2. Arquitectura de alto nivel del sistema propuesto. Se incluye una vista más detallada del módulo de adquisición, que incluye un PS-PMT, un juego de convertidores de alta velocidad, y una FPGA que integra tanto un DSP específico como un microcontrolador.

Como se muestra en la figura 2, además del PS-PMT, la electrónica analógica de lectura y la fuente de alimentación, el módulo de adquisición incluye los siguientes bloques:

- Un procesador de pulsos dedicado (DSP), que analiza las señales adquiridas a una frecuencia máxima de 62.5 MHz con un ADC de 8 canales de Texas Instruments (Dallas, TX, USA). Con la detección de un pulso, al superar la energía instantánea un cierto umbral, se dispara el cálculo de los parámetros básicos del mismo. El diseño actual soporta una tasa de conteo máxima de 2Mcps.
- Un controlador Ethernet que envía los datos adquiridos a un ordenador externo. Con el fin de simplificar el desarrollo del HW/SW, el circuito externo de ethernet incluye tanto la capa física (PHY) como la de acceso al medio (MAC) [12], sin que ello vaya en detrimento de las prestaciones.
- Un microcontrolador (μ C) que gestiona las comunicaciones a través del Ethernet, así como el control.
- Un administrador del reloj (CLK). La discriminación de coincidencias en base a la etiqueta temporal requiere de etiquetas precisas y fiables, de tal modo que para lograr una precisión del orden del nanosegundo (ns), debemos ser capaces de sincronizar los relojes de todos los módulos de adquisición con un desfase de en torno a 1 ns [8]. Esto se logra

distribuyendo el reloj en modo diferencial por medio de una conexión de alta velocidad, e incluyendo correcciones de tiempo mediante software. El controlador maestro distribuye un reloj de precisión a 25MHz mediante una conexión LVDS, el cual es empleado para sincronizar el reloj interno de 62.5MHz, haciendo uso de los bloques de reloj (*Phase loop lock* o *PLL*) presentes en la FPGA.

Con el objeto de reducir el espacio e incrementar la flexibilidad del diseño, se propone integrar la mayor parte de los componentes del módulo de adquisición en una única FPGA y emplear una RT/OS para gestionar el sistema residente en la FPGA. Con el objetivo de probar el concepto así como de poder depurar el desarrollo HW/SW se ha ensamblado un primer prototipo a partir de módulos de desarrollo proporcionados por distintos fabricantes.

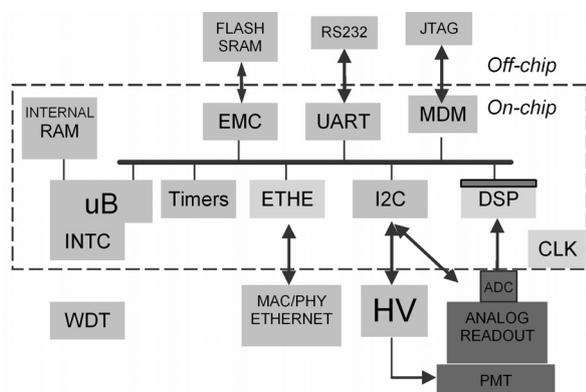


Figura 3. Diagrama de bloques del módulo de adquisición. La FPGA integra on-chip un μC , un DSP específico para la detección de pulsos y todos los controladores necesarios para la interfaz con el exterior y dar soporte al RT/OS.

3. Arquitectura del sistema empotrado

3.1. Descripción del hardware

El sistema on-chip diseñado (*SoC*), cuya arquitectura se resume en la figura 3, considera tres buses internos distintos: uno para los datos, uno para las instrucciones y uno para los periféricos (on-chip peripheral bus u OPB). El sistema incluye además los siguientes componentes:

- Un procesador de pulsos, que procesa el pulso de centelleo mediante técnicas digitales (DSP).
- Un gestor del reloj (CLK)
- El procesador Microblaze(uB) de Xilinx, un RISC de 32 bits con arquitectura Harvard, a 32-bit RISC sintetizable en alrededor de 1000 celdas lógicas. Se incluye el módulo de depuración (MDM), para la depuración en línea del código fuente a través del interfaz JTAG.
- Controladores de memoria para la memoria SRAM y para la FLASH externa(EMC)
- Controladores para comunicaciones serie (UART), IIC (I2C) y Ethernet (ETHE).
- Un controlador de interrupciones (INTC).
- 2 temporizadores, uno dedicado a la planificación

del RT/OS y otro de propósito general.

- E/S de propósito general, incluyendo interfaz a un temporizador watchdog (WDT) externo.

3.2. Módulo de procesamiento digital

Este periférico detecta los pulsos eléctricos generados por la electrónica como consecuencia de la interacción de un rayo gamma con el cristal de centello y transfiere los datos extraídos al procesador interno por medio del bus OPB. El proceso de detección y adquisición está segmentado en numerosas etapas, de tal modo que en un momento dado hasta cuatro pulsos consecutivos pueden coexistir en las colas internas del módulo, cada uno de ellos en una fase distinta de cálculo.

Como muestra la Figura 4, el módulo de DSP restaura la línea base (BLR), para a continuación analizar la energía del pulso. Cuando ésta supera un cierto umbral, se inicializa una máquina de estados (FSM) que habilita la integración de la energía dentro de una ventana de tiempo así como se dispara el cálculo de la etiqueta temporal y el tiempo de relajación del pulso, que será empleado para la discriminación entre cristales de centelleo en un detector phoswich [13].

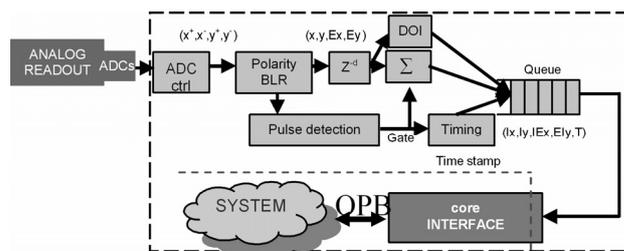


Figura 4. Diagrama de bloques del módulo DSP. La máquina de estado dispara la adquisición del pulso, almacenando el resultado en una cola interna para su posterior envío al exterior a través del bus OPB.

Como resultado de la detección, y del consiguiente procesado, se genera un paquete de 15 bytes, el cual se almacena en una cola interna a la espera de ser transferido al exterior. Cuando esta cola almacena un número significativo de eventos se dispara una interrupción, invocando a la rutina de atención correspondiente, que será responsable de transmitir los datos desde esta cola al ordenador externo por medio del interfaz ethernet.

Como se ha mencionado anteriormente, el módulo de adquisición cuenta con un reloj de 62.5MHz sincronizado con una referencia externa. Sin embargo, con el fin de garantizar la funcionalidad del sistema incluso en el caso de que el PLL falle en su enganche a la referencia, el microprocesador hace uso de un reloj interno de 50MHz.

3.3. Servicios Software

Para cada uno de los periféricos desarrollados (DSP y ETHE) se han desarrollado, siguiendo las directrices establecida por Xilinx, los drivers correspondientes, de tal modo que estos periféricos se integran en EDK de modo automático.

Con el objetivo de incrementar la flexibilidad y reusabilidad del código, la comunicación y sincronización entre tareas se realiza única y exclusivamente a través de los servicios del RT/OS, en particular resultó necesario extender el μ C/OS-II para incluir nuevos servicios de alarmas. Finalmente, durante el arranque del sistema operativo se monta en memoria un sistema de ficheros y se inicializa el protocolo de TCP/IP denominado LWIP [14]. Esta implementación de TCP/IP está optimizada para sistemas empujados y proporciona una interfaz eficiente para la transmisión de datos.

3.4. Descripción de las tareas concurrentes

La aplicación empujada se descompone en el siguiente conjunto de tareas planificadas por el RT/OS en base a su prioridad:

- Control, responsable de todos los pasos previos a la adquisición, tales como la calibración o configuración.
- Adquisición y transmisión, que es despertada por el manejador de interrupciones del DSP y que lleva a cabo la transmisión de eventos a través de un *socket* UDP.
- Estadísticas, que es despertada periódicamente por el RT/OS para informar sobre el número de *singles*, eventos perdidos y eventos transmitidos. Esta información resulta útil en la corrección a-posteriori de los sinogramas de actividad.
- Manejo de errores, que gestiona las señales de alarma generadas por las distintas tareas dando la respuesta adecuada según el nivel de la señal.
- Motor del LWIP, responsable de mantener “vivo” el protocolo de comunicaciones TCP/IP.
- Auto diagnosis, responsable de monitorizar periódicamente la integridad del módulo de adquisición.
- Shell, responsable proporcionar un terminal tipo Unix a través del puerto serie, a través de este terminal se pueden emitir los mismos comandos de control que desde el controlador maestro.

4. Resultados y Conclusiones

En este trabajo se ha especificado la arquitectura HW/SW de un SoC especialmente adaptado a las necesidades de un detector PET para pequeños animales. El sistema descrito ha sido implementado y sintetizado sobre una tarjeta de desarrollo con Spartan3-400k para depurar y validar la integración HW/SW.

Se propone integrar el procesador de control con la electrónica de procesado en un único dispositivo, en donde el planificador del RT/OS garantiza la correcta ejecución de las tareas de control y adquisición. Además se ha trabajado en la optimización los componentes HW/SW con el fin de lograr una transmisión de datos a alta velocidad. En particular, ha resultado necesario guiar meticulosamente el procesado de compilación y linkado, para lograr una ubicación en memoria eficiente de los segmentos de código. Aunque aun no ha finalizado el desarrollo del software, se estima que el sistema alcanzará

un ancho de banda de 40Mbps (~300Kcps). Sin embargo existe margen para mejoras arquitecturales que permitan alcanzar una tasa de conteo de 500kcps por cada PS-PMT.

El SoC actual ocupa prácticamente la totalidad de la FPGA empleada, siendo el DSP responsable de la mitad de las celdas empleadas. Con el fin de permitir ampliaciones futuras se trabaja en el desarrollo de un nuevo prototipo que haga uso de una FPGA mayor, la Spartan3 de 1.5M. Una vez el nuevo prototipo esté en funcionamiento se integrará el módulo digital con la electrónica de lectura y se iniciarán adquisiciones para el calibrado y análisis de prestaciones de la cámara.

Agradecimientos

Este trabajo ha sido financiado por el Ministerio de Educación y Ciencia, a través de su programa de becas FPU, y por el proyecto TEC2004-07052-C02-02. Finalmente agradecemos a Xilinx sus generosas donaciones de material de desarrollo y software.

Referencias

- [1] J. W. Young, *et al.*, "FPGA based front-end electronics for a high resolution PET scanner," at *IEEE Nuclear Science Symposium*, vol. 2, pp. 902-906 vol.2, 1999.
- [2] D. F. Newport and J. W. Young, "An ASIC implementation of digital front-end electronics for a high resolution PET scanner", *IEEE Trans. on Nuclear Science*, vol. 40, pp. 1017 - 1019, 1993.
- [3] M. S. Musrock, *et al.*, "Performance characteristics of a new generation of processing circuits for PET applications", *IEEE Trans. on Nuclear Science*, vol. 50, pp. 974-978, 2003.
- [4] A. Mann, *et al.*, "A sampling ADC data acquisition system for positron emission tomography," *IEEE Nuclear Science Symposium*, vol. 1, pp. 296 - 300, Rome, 2004.
- [5] K. Ziemons, *et al.*, "The ClearPET LSO/LuYAP phoswich scanner: a high performance small animal PET system," *IEEE Nuclear Science Symposium*, vol. 3, pp. 1728-1732, 2003.
- [6] P. Stenstrom, *et al.*, "Evaluation of a data acquisition system for SPECT (PET)", *IEEE Trans. on Nuclear Science*, vol. 47, pp. 1655-1659, 2000.
- [7] J. D. Martinez, *et al.*, "High-speed data acquisition and digital signal Processing system for PET imaging techniques applied to mammography", *IEEE Trans. on Nuclear Science*, vol. 51, pp. 407-412, 2004.
- [8] R. Fontaine, *et al.*, "Design of a dual-modality, digital positron emission tomography/computed tomography (PET/CT) scanner for small animal imaging," *IEEE Engineering in Medicine and Biology Society*, vol. 1, pp. 998-1001, 2003.
- [9] V. M. Popov, *et al.*, "Readout electronics for multianode photomultiplier tubes with pad matrix anode layout," *IEEE Nuclear Science Symposium*, vol. 3, pp. 2156 - 2159, 2003.
- [10] P. Guerra, *et al.*, "Modeling the acquisition front-end in high resolution gamma-ray imaging," *IEEE Nuclear Science Symposium*, vol. 5, pp. 3089-3093, Rome, 2004.
- [11] R. Lecomte, "Technology challenges in small animal PET imaging", *Nuclear Instruments and Methods in Physics Research Section A*, vol. 527, pp. 157-165, 2004.
- [12] Davicom Semiconductor Inc, "ISA to Ethernet MAC Controller with 10/100 PHY", *DM9000-DS-F03 Datasheet*, 2004.
- [13] J. Seidel, *et al.*, "Depth identification accuracy of a three layer phoswich PET detector module", *IEEE Trans. on Nuclear Science*, vol. 46, pp. 485-490, 1999.
- [14] A. Dunkels, "lwIP - A Lightweight TCP/IP stack," *Swedish Institute of Computer Science*, <http://savannah.nongnu.org/projects/lwip/>, 2002.