

ANX-PR/CL/001-01
GUÍA DE APRENDIZAJE

ASIGNATURA

Ingeniería de sistemas electrónicos analógicos y digitales

CURSO ACADÉMICO - SEMESTRE

2016-17 - Primer semestre

Datos Descriptivos

Nombre de la Asignatura	Ingeniería de sistemas electrónicos analógicos y digitales
Titulación	09AN - Master Universitario en Ingeniería de Sistemas Electrónicos
Centro responsable de la titulación	Escuela Técnica Superior de Ingenieros de Telecomunicación
Semestre/s de impartición	Primer semestre
Módulos	Circuitos y sistemas electrónicos
Materias	Circuitos y sistemas electrónicos
Carácter	Obligatoria
Código UPM	93000704
Nombre en inglés	Electronic systems engineering analogic and digital

Datos Generales

Créditos	6	Curso	1
Curso Académico	2016-17	Período de impartición	Septiembre-Enero
Idioma de impartición	Castellano	Otros idiomas de impartición	

Requisitos Previos Obligatorios

Asignaturas Previas Requeridas

El plan de estudios Master Universitario en Ingeniería de Sistemas Electrónicos no tiene definidas asignaturas previas superadas para esta asignatura.

Otros Requisitos

El plan de estudios Master Universitario en Ingeniería de Sistemas Electrónicos no tiene definidos otros requisitos para esta asignatura.

Conocimientos Previos

Asignaturas Previas Recomendadas

El coordinador de la asignatura no ha definido asignaturas previas recomendadas.

Otros Conocimientos Previos Recomendados

El coordinador de la asignatura no ha definido otros conocimientos previos recomendados.

Competencias

CE2 - Capacidad para aplicar herramientas, técnicas y metodologías avanzadas de diseño de sistemas o subsistemas electrónicos

CE4 - Capacidad para diseñar un dispositivo, sistema, aplicación o servicio que cumpla unas especificaciones dadas, empleando un enfoque sistémico y multidisciplinar e integrando los módulos y herramientas avanzadas disponibles en el campo de la Ingeniería Electrónica

CG4 - Organización y planificación: Organizar, planificar y gestionar proyectos complejos y multidisciplinarios que involucren no una sino varias de las tecnologías avanzadas tratadas en el Máster

CG5 - Gestión de la información: buscar y gestionar recursos bibliográficos adecuados con eficiencia, aprender a continuar los estudios de manera ampliamente autónoma.

CO1 - Analizar, diseñar y validar sistemas electrónicos analógicos o digitales capaces de adquirir, procesar o generar señales: débiles, de comunicaciones de banda ancha, etc.

Resultados de Aprendizaje

RA89 - Conocimientos de conversión AD y DA

RA106 - Capacidad de analizar y diseñar sistemas electrónicos basados en subsistemas electrónicos y equipos.

Profesorado

Profesorado

Nombre	Despacho	e-mail	Tutorías
Gacevic, Zarko (Coordinador/a)	C226	zarko.gacevic@upm.es	J - 15:00 - 17:00
Malagon Marzo, Pedro Jose	B-113	pedro.malagon.marzo@upm.es	J - 15:00 - 17:00

Nota.- Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

Descripción de la Asignatura

En esta asignatura se presentan una visión global de las técnicas y metodologías actuales para el desarrollo de sistemas electrónicos mixtos analógicos-digitales.

Temario

1. Lección 1. Introducción a los sistemas digitales (0.2 cr)
 - 1.1. 1.1 Tendencias en el sector de la electrónica
 - 1.2. 1.2 El sistema on-chip como paradigma de diseño: caso de ejemplo red GSM y el OMAP730
 - 1.2.1. 1.2.1 Elementos de Propósito General: Microprocesadores y DSPs
 - 1.2.2. 1.2.2 Elementos de Propósito Específico: ASICs vs FPGA, analógico vs digital
 - 1.3 Revisión de electrónica digital básica: Puertas lógicas y Familias lógicas
2. Lección 2. Tecnologías para el Diseño Digital (0.2 cr)
 - 2.1. 2.1 El transistor MOS: principios de funcionamiento
 - 2.2. 2.2 El transistor MOS como un conmutador: modelo equivalente
 - 2.3. 2.3 Realización de una puerta lógica en lógica CMOS
 - 2.4. 2.4 Proceso de diseño: layout de la puerta lógica
 - 2.5. 2.5 Celdas estándar como elemento constructivo
3. Lección 3. Bloques combinacionales Digital (0.8 cr)
 - 3.1. 3.1 Revisión del Algebra Discreta (Boole)
 - 3.2. 3.2 Realización de funciones lógicas mediante puertas
 - 3.3. 3.3 Técnicas de Simplificación: Representación canónica, Karnaugh, Quine?McCluskey
 - 3.4. 3.4 Temporización, influencia de los parásitos en el retardo. FanIn/FanOut
 - 3.5. 3.5 Representación Numérica: Complemento a 2 y punto fijo
 - 3.6. 3.6 Circuitos Aritméticos: suma, resta, multiplicación, división y raíz
4. Lección 4: Temporización en Sistemas Síncronos (0.6 cr)
 - 4.1. 4.1 Determinación de la frecuencia de trabajo de un sistema síncrono. Balance temporal:
 - 4.2. 4.2 Restricciones tecnológicas: tiempos de setup y hold
 - 4.3. 4.3 Fuentes del Sesgo (skew) y fluctuación (jitter)
 - 4.4. 4.4 Técnicas distribución del reloj
 - 4.5. 4.5 Sincronización con PLL

5. Lección 5: Arquitectura de los circuitos programables (0.6 cr)
 - 5.1. 5.1 Introducción. Antecedentes CPLD
 - 5.2. 5.2 Tecnologías de programación: EEPROM y SRAM
 - 5.3. 5.3 Arquitectura de una FPGA moderna. Elementos programables básicos bloque, interconexión y pinout. Caso de ejemplo familia XC4000.
 - 5.4. 5.4 Caso de ejemplo. Familias Spartan2, Spartan3 de Xilinx.
 - 5.5. 5.5 Caso de ejemplo. Familias Cyclone II y CycloneIII de Altera.
 - 5.6. 5.6 Interpretación de la Síntesis, Placement and Routing en una FPGA
6. Lección 6: El papel de los módulos IP (0.4 cr)
 - 6.1. 6.1 Concepto de IP. Celdas Soft cores vs hard cores
 - 6.2. 6.2 El mercado de los IPs en el mundo
 - 6.3. 6.3 Reusabilidad: Estandarización
 - 6.4. 6.4 Diseño de SoC orientados a IP estándar. Caso de ejemplo entorno EDK de Xilinx
7. Lección 7: Diseño de sistemas síncronos con PCB (0.2 cr) .
 - 7.1. 7.1 Concepto de la línea de transmisión: Impedancia característica y adaptación de impedancias.
 - 7.2. 7.2 Estructura de una PCB. Reglas de diseño y Características eléctricas.
 - 7.3. 7.3 La metalización de una PCB como línea de transmisión: Microstrips y Striplines. Condiciones y consideraciones.
 - 7.4. 7.4 El papel de los planos de alimentación/masa. Corrientes de retorno. Apantallamiento
8. Lección 8: Amplificador Operacional No Ideal (0.8 cr)
 - 8.1. 8.1 Amplificador operacional ideal. Modelo y circuitos básicos
 - 8.2. 8.2 No-linealidades del Amplificador Operacional
 - 8.3. 8.3 Limitaciones Estáticas
 - 8.4. 8.4 Limitaciones Dinámicas
9. Lección 9: Subsistemas Analógicos Lineales I (0.6 cr)
 - 9.1. 9.1 Amplificadores (I): inversores, no-inversores, sumadores, amplificador diferencial, integrador, diferenciador;
 - 9.2. 9.2 Amplificadores (II) de: tensión, corriente, transresistencia y transconductancia
10. Lección 10: Subsistemas Analógicos No Lineales II (0.8 cr)
 - 10.1. 10.1 Circuitos sin realimentación
 - 10.2. 10.2 Realimentación positiva 10.2 Realimentación negativa con elementos no lineales
11. Lección 11: Convertidores de datos (0.8 cr)
 - 11.1. 11.1 Convertidores D/A
 - 11.2. 11.2 Convertidores A/D

Cronograma

Horas totales: 59 horas

Horas presenciales: 59 horas (37.8%)

Peso total de actividades de evaluación continua:
135%

Peso total de actividades de evaluación sólo prueba final:
100%

Semana	Actividad Presencial en Aula	Actividad Presencial en Laboratorio	Otra Actividad Presencial	Actividades Evaluación
Semana 1	<p>1.1 Revisión de electrónica digital básica: Puertas lógicas y Familias lógicas Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>2.1 El transistor MOS: principios de funcionamiento Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>2.2 El transistor MOS como un conmutador: modelo equivalente Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>2.3 Realización de una puerta lógica en lógica CMOS Duración: 01:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 2	<p>2.4 Proceso de diseño: layout de la puerta lógica Duración: 00:30 LM: Actividad del tipo Lección Magistral</p> <p>2.5 Celdas estándar como elemento constructivo Duración: 00:30 LM: Actividad del tipo Lección Magistral</p> <p>3.1 Revisión del Álgebra Discreta (Boole) Duración: 00:30 LM: Actividad del tipo Lección Magistral</p> <p>3.2 Realización de funciones lógicas mediante puertas Duración: 00:30 LM: Actividad del tipo Lección Magistral</p> <p>3.3 Técnicas de Simplificación: Representación canónica, Karnaugh, Quine?McCluskey Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>3.4 Temporización, influencia de los parásitos en el retardo. FanIn/FanOut Duración: 01:00 LM: Actividad del tipo Lección Magistral</p>			

<p>Semana 3</p>	<p>3.5 Representación Numérica: Complemento a 2 y punto fijo</p> <p>Duración: 02:00</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>3.6 Circuitos Aritméticos: suma, resta, multiplicación, división y raíz</p> <p>Duración: 02:00</p> <p>LM: Actividad del tipo Lección Magistral</p>			
<p>Semana 4</p>	<p>4.1 Determinación de la frecuencia de trabajo de un sistema síncrono. Balance temporal:</p> <p>Duración: 01:00</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>4.2 Restricciones tecnológicas: tiempos de setup y hold</p> <p>Duración: 01:00</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>4.3 Fuentes del Sesgo (skew) y fluctuación (jitter)</p> <p>Duración: 01:00</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>4.4 Técnicas distribución del reloj</p> <p>Duración: 00:30</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>4.5 Sincronización con PLL</p> <p>Duración: 00:30</p> <p>LM: Actividad del tipo Lección Magistral</p>			<p>Entrega de Ejercicios Resueltos por el alumno (I)</p> <p>Duración: 00:00</p> <p>TI: Técnica del tipo Trabajo Individual</p> <p>Evaluación continua</p> <p>Actividad no presencial</p>

<p>Semana 5</p>	<p>5.1 Introducción. Antecedentes CPLD Duración: 00:40 LM: Actividad del tipo Lección Magistral</p> <p>5.2 Tecnologías de programación: EEPROM y SRAM Duración: 00:40 LM: Actividad del tipo Lección Magistral</p> <p>5.3 Arquitectura de una FPGA moderna. Elementos programables básicos bloque, interconexión y pinout. Caso de ejemplo familia XC4000. Duración: 00:40 LM: Actividad del tipo Lección Magistral</p> <p>5.4 Caso de ejemplo. Familias Spartan2, Spartan3 de Xilinx. Duración: 00:40 LM: Actividad del tipo Lección Magistral</p> <p>5.5 Caso de ejemplo. Familias Cyclone II y CycloneIII de Altera. Duración: 00:40 LM: Actividad del tipo Lección Magistral</p> <p>5.6 Interpretación de la Síntesis, Placement and Routing en una FPGA Duración: 00:40 LM: Actividad del tipo Lección Magistral</p>			
<p>Semana 6</p>	<p>6.1 Concepto de IP. Celdas Soft cores vs hard cores Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>6.2 El mercado de los IPs en el mundo Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>6.3 Reusabilidad: Estandarización Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>6.4 Diseño de SoC orientados a IP estándar. Caso de ejemplo entorno EDK de Xilinx Duración: 01:00 LM: Actividad del tipo Lección Magistral</p>			<p>Entrega de Ejercicios Resueltos por el alumno (II) Duración: 00:00 TI: Técnica del tipo Trabajo Individual Evaluación continua Actividad no presencial</p>

Semana 7	<p>7.1. Concepto de la línea de transmisión: Impedancia característica y adaptación de impedancias. Duración: 00:30 LM: Actividad del tipo Lección Magistral</p> <p>7.2 Estructura de una PCB. Reglas de diseño y Características eléctricas. Duración: 00:30 LM: Actividad del tipo Lección Magistral</p> <p>7.3 La metalización de una PCB como línea de transmisión: Microstrips y Striplines. Condiciones y consideraciones. Duración: 00:30 LM: Actividad del tipo Lección Magistral</p> <p>7.4 El papel de los planos de alimentación/masa. Corrientes de retorno. Apantallamiento. Duración: 01:00 LM: Actividad del tipo Lección Magistral</p>			<p>Examen parcial I Duración: 01:30 EX: Técnica del tipo Examen Escrito Evaluación continua Actividad presencial</p>
Semana 8	<p>8.1 Amplificador operacional ideal. Modelo y circuitos básicos Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p>8.2 No-linealidades del Amplificador Operacional Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 9	<p>8.3 Limitaciones Estáticas Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p>8.4 Limitaciones Dinámicas Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 10	<p>9.1 Amplificadores I Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p>9.2 Amplificadores II Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			

Semana 11	<p>10.1 Filtros: Pasivos de primer orden Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>10.2 Filtros: Activos de segundo orden (Sallen ? Key); Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>11.1 Circuitos sin realimentación: Comparadores Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			<p>Entrega de Ejercicios Resueltos por el alumno (III) Duración: 00:00 TI: Técnica del tipo Trabajo Individual Evaluación continua Actividad no presencial</p>
Semana 12	<p>11.2 Realimentación positiva: Schmitt-triggers Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p>11.3 Realimentación negativa con elementos no lineales: detectores de envelope y detectores de pico, Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 13	<p>11.3 Realimentación negativa con elementos no lineales: rectificadores de precisión y osciladores Duración: 04:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 14	<p>12.1 Convertidores A-D Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p>12.2 Convertidores D-A Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			<p>Entrega de Ejercicios Resueltos por el alumno (IV) Duración: 00:00 TI: Técnica del tipo Trabajo Individual Evaluación continua Actividad no presencial</p>
Semana 15				
Semana 16				
Semana 17				<p>Examen parcial II Duración: 01:30 EX: Técnica del tipo Examen Escrito Evaluación continua Actividad presencial</p> <p>Recuperación examen parcial I Duración: 01:30 EX: Técnica del tipo Examen Escrito Evaluación continua Actividad presencial</p> <p>Examen integral Duración: 03:00 EX: Técnica del tipo Examen Escrito Evaluación sólo prueba final Actividad presencial</p>

Nota.- El cronograma sigue una planificación teórica de la asignatura que puede sufrir modificaciones durante el curso.

Nota 2.- Para poder calcular correctamente la dedicación de un alumno, la duración de las actividades que se repiten en el tiempo

(por ejemplo, subgrupos de prácticas") únicamente se indican la primera vez que se definen.

Actividades de Evaluación

Semana	Descripción	Duración	Tipo evaluación	Técnica evaluativa	Presencial	Peso	Nota mínima	Competencias evaluadas
4	Entrega de Ejercicios Resueltos por el alumno (I)	00:00	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	5%		CG5, CE4, CO1, CE2, CG4
6	Entrega de Ejercicios Resueltos por el alumno (II)	00:00	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	10%		CG5, CE4, CO1, CE2, CG4
7	Examen parcial I	01:30	Evaluación continua	EX: Técnica del tipo Examen Escrito	Sí	35%	4 / 10	CG5, CE4, CO1, CE2, CG4
11	Entrega de Ejercicios Resueltos por el alumno (III)	00:00	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	5%		CG5, CE4, CO1, CE2, CG4
14	Entrega de Ejercicios Resueltos por el alumno (IV)	00:00	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	10%		CG5, CE4, CO1, CE2, CG4
17	Examen parcial II	01:30	Evaluación continua	EX: Técnica del tipo Examen Escrito	Sí	35%	4 / 10	CG5, CE4, CO1, CE2, CG4
17	Recuperación examen parcial I	01:30	Evaluación continua	EX: Técnica del tipo Examen Escrito	Sí	35%	4 / 10	CG5, CE4, CO1, CE2, CG4
17	Examen integral	03:00	Evaluación sólo prueba final	EX: Técnica del tipo Examen Escrito	Sí	100%	5 / 10	CG5, CE4, CO1, CE2, CG4

Criterios de Evaluación

Problemas semanales a entregar por el alumno (30% de la nota), examen parcial I (35% de la nota) y examen parcial II (35% de la nota). No hay nota mínima en los problemas entregables, pero sí en los exámenes parciales (4.0/10 en cada uno).

En cumplimiento de la Normativa de Evaluación de la UPM, los alumnos que lo deseen serán evaluados mediante un único examen final siempre y cuando lo soliciten al coordinador de la asignatura. Esta solicitud puede realizarse en cualquier momento antes del día 20/12/2016.

La asistencia a clase es obligatoria, asistencia mínima 75% de las sesiones.

Recursos Didácticos

Descripción	Tipo	Observaciones
Franco, S.: Design with Operational Amplifiers and Analog Integrated Circuits. McGraw-Hill (3rd edition), 2001.	Bibliografía	Bibliografía básica Capítulos 1-6, 8, 9, 12
Sedra, A. S.; Smith, K. C.: Microelectronic Circuits. Oxford University Press (6th edition), 2009.	Bibliografía	Bibliografía de apoyo Capítulos 8 al 11
Kilts, S.: Advanced FPGA Design: Architecture, Implementation, and Optimization. Wiley-IEEE Press. 2007.	Bibliografía	Bibliografía de apoyo Capítulos 1 al 7
Zwolinski, M.: Digital System Design with VHDL. Prentice-Hall (2nd edition). 2004.	Bibliografía	Bibliografía de apoyo Capítulos 1 al 7
Chu, P.: FPGA Prototyping by VHDL Examples. Wiley-Interscience. 2008.	Bibliografía	Bibliografía de apoyo Capítulos 1 al 7
Wolf, W.: FPGA-Based System Design. Prentice-Hall, 2004.	Bibliografía	Bibliografía de apoyo Capítulos 1 al 7
Wolf, W.: Modern VLSI Design: System-on-chip Design. Prentice-Hall (3rd edition), 2002.	Bibliografía	Bibliografía de apoyo Capítulos 1 al 7